

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2002076369
PUBLICATION DATE : 15-03-02

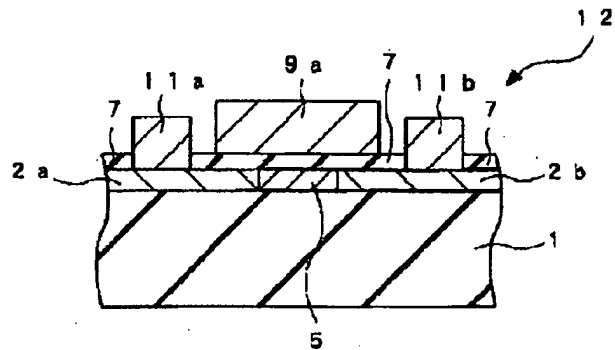
APPLICATION DATE : 01-09-00
APPLICATION NUMBER : 2000266325

APPLICANT : KOBE STEEL LTD;

INVENTOR : YOKOTA YOSHIHIRO;

INT.CL. : H01L 29/861 H01L 21/28 H01L 29/74
H01L 29/786 H01L 33/00

TITLE : ELECTRONIC ELEMENT, AND DIODE,
TRANSISTOR AND THYRISTOR USING
THE SAME



ABSTRACT : PROBLEM TO BE SOLVED: To provide a high-efficiency electronic element and a diode, a transistor and a thyristor using the electronic element which is superior in heat resistance, radiation resistance and high frequency response, suited to high temperature devices, high power devices and high frequency electronic devices, suppresses an Ohmic current and lowers the barriers energy for injecting carriers into a channel from a heavily doped semiconductor, thereby lowering the rising electric field of a spatial charge limiting current.

SOLUTION: A high-resistivity semiconductor diamond film 5 having a carrier concentration of 10^{15} cm^{-3} or less is provided on an insulator diamond crystal substrate 1, low-resistivity semiconductor diamond films 2a, 2b each having a carrier concentration of 10^{20} cm^{-3} or more are provided so as to sandwich that film 5, and the semiconductor diamond films 5, 2a, 2b have the same conductivity type. Source electrodes 11a, drain electrodes 11b and gate electrodes 9b are provided on the semiconductor diamond films 2a, 2b, 5, respectively.

COPYRIGHT: (C)2002,JPO

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]Join to the 1st semiconductor region used as a current channel, and this 1st semiconductor region, and with the same conduction type as the 1st semiconductor region The 2nd semiconductor region where resistivity is lower than said 1st semiconductor region, An electronic device which **** and is characterized by carrier concentration [in / in said 1st semiconductor region / an equilibrium situation in the operating temperature] being below 10^{15}cm^{-3} .

[Claim 2]The electronic device according to claim 1, wherein carrier concentration in an equilibrium situation in operating temperature of said 1st semiconductor region is below 10^{13}cm^{-3} .

[Claim 3]The electronic device according to claim 1 or 2, wherein a band gap of said 1st semiconductor region is not less than 2 eV.

[Claim 4]Said 1st semiconductor region A diamond, silicon carbide, gallium nitride, An electronic device given in any 1 paragraph of claims 1 thru/or 3 consisting of one or more sorts of materials chosen from a group which consists of boron nitride, alumimium nitride, indium nitride, a zinc oxide, titanium oxide, tin oxide, and indium oxide, or a mixed material of those.

[Claim 5]An electronic device given in any 1 paragraph of claims 1 thru/or 4, wherein a band gap of said 2nd semiconductor region is not less than 2 eV.

[Claim 6]Said 2nd semiconductor region A diamond, silicon carbide, gallium nitride, An electronic device given in any 1 paragraph of claims 1 thru/or 5 consisting of one or more sorts of materials chosen from a group which consists of boron nitride, alumimium nitride, indium nitride, a zinc oxide, titanium oxide, tin oxide, and indium oxide, or a mixed material of those.

[Claim 7]An electronic device given in any 1 paragraph of claims 1 thru/or 6, wherein dopant concentration under crystal used as a parent in said 1st semiconductor region is 10 ppm or less in an atomic ratio.

[Claim 8]The electronic device according to claim 7, wherein dopant concentration under crystal used as a parent in said 1st semiconductor region is 0.1 ppm or less in an atomic ratio.

[Claim 9]An electronic device given in any 1 paragraph of claims 1 thru/or 8, wherein dopant concentration of said 2nd semiconductor region is more than Mott concentration.

[Claim 10]An electronic device given in any 1 paragraph of claims 1 thru/or 9 to which said 1st semiconductor region and said 2nd semiconductor region are characterized by consisting of diamonds.

[Claim 11]The electronic device according to claim 10, wherein said 1st semiconductor region and said 2nd semiconductor region consist of a p type diamond which ***** (ed).

[Claim 12]The electronic device according to claim 10 consisting of a n type diamond in which said 1st semiconductor region and said 2nd semiconductor region doped one or more sorts of elements chosen from a group which consists of sulfur, Lynn, nitrogen, oxygen, and lithium.

[Claim 13]An electronic device given in any 1 paragraph of claims 1 thru/or 12 characterized by comprising the following.

The 1st metal electrode that is connected to said 1st semiconductor region, and outputs and inputs current to said 1st semiconductor region.

The 2nd metal electrode that is connected to said 2nd semiconductor region, and outputs and inputs current to said 2nd semiconductor region.

[Claim 14]An electronic device given in any 1 paragraph of claims 1 thru/or 13 having the 3rd semiconductor region joined by near opposite hand where said 2nd semiconductor region in said 1st semiconductor region is joined.

[Claim 15]The electronic device according to claim 14 characterized by resistivity being lower than said 1st semiconductor region with the conduction type as said 1st semiconductor region with said 3rd same semiconductor region.

[Claim 16]The electronic device according to claim 14 or 15, wherein dopant concentration of said 3rd semiconductor region is more than Mott concentration.

[Claim 17]An electronic device given in any 1 paragraph of claims 14 thru/or 16 to which said 1st semiconductor region, said 2nd semiconductor region, and said 3rd semiconductor region are characterized by consisting of diamonds.

[Claim 18]The electronic device according to claim 17, wherein said 1st semiconductor region, said 2nd semiconductor region, and said 3rd semiconductor region consist of a p type diamond which ***** (ed).

[Claim 19]The electronic device according to claim 17 consisting of a n type diamond in which said 1st semiconductor region, said 2nd semiconductor region, and said 3rd semiconductor region doped one or more sorts of elements chosen from a group which consists of sulfur, Lynn, nitrogen, oxygen, and lithium.

[Claim 20]An electronic device given in any 1 paragraph of claims 14 thru/or 19 characterized by comprising the following.

The 2nd metal electrode that is connected to said 2nd semiconductor region and sends current through said 2nd semiconductor region.

The 3rd metal electrode that is connected to said 3rd semiconductor region and sends current through said 3rd semiconductor region.

[Claim 21]An electronic device given in any 1 paragraph of claims 14 thru/or 20 characterized by comprising the following.

An insulator layer provided on said 1st semiconductor region.

An electrode provided on said insulator layer.

[Claim 22]A diode comprising:

The 1st semiconductor region used as a current channel.

It joins to this 1st semiconductor region, and is the 2nd semiconductor region where resistivity is lower than said 1st semiconductor region with the same conduction type as the 1st semiconductor region.

An electronic device whose carrier concentration [in / it has and / in said 1st semiconductor region / an equilibrium situation in the operating temperature] is below 10^{15}cm^{-3} .

[Claim 23]A transistor comprising:

The 1st semiconductor region used as a current channel.

It joins to this 1st semiconductor region, and is the 2nd semiconductor region where resistivity is lower than said 1st semiconductor region with the same conduction type as the 1st semiconductor region.

An electronic device whose carrier concentration [in / it has and / in said 1st semiconductor region / an equilibrium situation in the operating temperature] is below 10^{15}cm^{-3} .

[Claim 24]A thyristor comprising:

The 1st semiconductor region used as a current channel.

It joins to this 1st semiconductor region, and is the 2nd semiconductor region where resistivity is lower than said 1st semiconductor region with the same conduction type as the 1st semiconductor region.

An electronic device whose carrier concentration [in / it has and / in said 1st semiconductor region / an equilibrium situation in the operating temperature] is below 10^{15}cm^{-3} .

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]The diode which uses the electronic device and this electronic device of the wideband gap semiconductor with which this invention is used for the device for short wavelength luminescence, a high-temperature-service device, the device for big electric power, a high frequency electron device, etc., It is especially related with the efficient electronic device to which the career of many in a low electric field with a career mobility barrier there is little ohmic current and small and a small electric field required in order to send space charge limited current can be moved about a transistor and a thyristor.

[0002]

[Description of the Prior Art]A diamond The thermal conductivity (20 W/cm-K), a band gap (5.47 eV), Since device properties, such as saturation electron mobility (2000-cm²/V-s) and Hall mobility (2100-cm²/V-s), and heat resistance, and radiation resistance are excellent, The application to an electron device, a high power device, a high frequency device, etc. which operate under an elevated temperature and radiation is expected.

[0003]As one example of the field effect transistor which uses diamond membrane. To JP,1-158774,A, for example, a gate electrode and an operation layer, That is, MISFET (Metal Insulator Semiconductor Field Effect Transistor: insulated gate field effect transistor) which inserted the insulating layer between channel layers is proposed. MISFET in JP,1-158774,A is a no MARION type, and has the composition that drain current is controlled, by just taking gate potential to source potential. In order to enlarge mutual conductance and to change drain current a lot by the input of slight gate potential, it is necessary to make the influence of gate potential have to the deep field in a channel, and to extend the depletion region of a career greatly. For that purpose, Donna or acceptor concentration is stopped somewhat low, and it must be made thin so that the thickness of a channel layer may turn into below the thickness

that the influence of gate potential attains to. However, in order to increase drain current, concentration of Donna or an acceptor impurity must be made high, carrier concentration must be made to increase, and improvement in mutual conductance and the increase in drain current have the problem of conflicting mutually in setting out of carrier concentration.

[0004]As for the dopant concentration of the channel layer used in the usual MISFET by the above-mentioned reason, it is common to consider it as the range of hundreds of [tens to] ppm by an atomic ratio. For example, in the example of JP,1-158774,A, the atomic ratio of boron (B) and carbon (C) is calculable with $B/C=200\text{ppm}$ based on the synthetic condition of a p type diamond membrane layer.

[0005]The field effect transistor which has metal / insulating diamond / semiconductor diamond structure in a gate section is proposed by JP,3-263872,A. Drawing 9 is a sectional view showing this MISFET. The diamond insulator foundation layer 42 is formed on Si substrate 41, and the p type diamond semiconductor layer 43 and the n type diamond semiconductor layers 44a and 44b of the both sides are formed on the same flat surface on the diamond insulator foundation layer 42. The source electrode 46S and the drain electrode 46D are formed in the end of the side which is not connected to the p type diamond semiconductor layer 43 in the n type diamond semiconductor layers 44a and 44b, respectively so that these ends may be covered. The diamond insulation layer 45 is formed on the p type diamond semiconductor layer 43, and the gate electrode 46G is formed on the diamond insulation layer 45. The diamond insulation layer 45 insulates between the p type diamond semiconductor layers 43 and the gate electrodes 46G which are channel layers.

[0006]In order to enlarge mutual conductance and to change drain current a lot by the input of slight gate potential also in this MISFET, Acceptor concentration is stopped low, and thickness of the p type diamond semiconductor layer 43 must be made thin so that it may become below the thickness that the influence of gate potential attains to. However, in order to increase drain current, acceptor concentration must be made high, carrier concentration must be made to increase, and improvement in mutual conductance and the increase in drain current have the problem of conflicting mutually in setting out of acceptor concentration.

[0007]Mobility of the high electron and electron hole which a diamond originally has is realized by reducing an impurity and a crystal defect as much as possible. However, in the structure which needs to dope Donna or an acceptor by a certain amount of concentration like the above-mentioned MISFET in order to secure the source of a career of a channel layer, since carrier mobility becomes low depending on impurity concentration, that high-frequency response etc. get worse does not escape.

[0008]On the other hand, it is considered as the structure which made impurity concentration of the channel layer low as much as possible, and enabled application to the transistor for high frequency, and the field effect transistor which uses a high resistivity diamond layer as a

channel layer is indicated by JP,6-232388,A. Drawing 10 is a typical sectional view showing the composition of this field effect transistor. In the field effect transistor shown in drawing 10, The 2nd semiconductor diamond layer 53 of the same conduction type as the 1st semiconductor diamond layer 51, the high resistivity diamond layer 52, and the 1st semiconductor diamond layer 51 is arranged at a single tier at this order, The high resistivity diamond layer 52 is connected to the 1st semiconductor diamond layer 51 and 2nd semiconductor diamond layer 53. The channel layer 57 is constituted by the 1st semiconductor diamond layer 51, high resistivity diamond layer 52, and 2nd semiconductor diamond layer 53. On the 1st semiconductor diamond layer 51, the high resistivity diamond layer 52, and the 2nd semiconductor diamond layer 53, the source electrode 54, the gate electrode 55, and the drain electrode 56 are formed, respectively. The resistivity of the high resistivity diamond layer 52 is more than 10^2 Ω -cm, and carrier concentration changes with the potential of the gate electrode 55.

[0009]In the case of this transistor, as shown in drawing 10, the career which reaches the drain electrode 56 from the source electrode 54 flows through the semiconductor diamond layer 51, the high resistivity diamond layer 52, and the semiconductor diamond layer 53 into this order. And by changing the voltage impressed to the gate electrode 55, the potential of the high resistivity diamond layer 52 is changed, and the injection rate of the career from the semiconductor diamond layer 51 which the source electrode 54 contacts to the high resistivity diamond layer 52 is controlled. Therefore, since a depletion layer is extended to the channel layer 57 and drain current is not controlled like MISFET shown in drawing 9, it is not necessary to make dopant concentration low and to make the channel layer 57 thin.

[0010]The feature of the transistor shown in drawing 10 is that what is called space charge limited current may flow through the high resistivity diamond layer 52. The action of the current over the electric field impressed into an ideal defect-free insulating material serves as ohmic current proportional to an electric field below by a certain threshold electric field as indicated in literature (the "semiconductor physical properties 1", such as ****, Asakura Publishing, the 158th page - the 162nd page). If it becomes beyond a threshold electric field, the career beyond thermal excitation carrier concentration will flow by career pouring from the outside, and it will become space charge limited current proportional to the square of an electric field.

[0011]

[Problem(s) to be Solved by the Invention]However, there is a problem that pouring of the career to the high resistivity diamond layer 52 does not take place unless it makes into the very big value of more than 100V voltage which will often be impressed to a gate electrode if the field effect transistor of structure as actually shown in drawing 10 is produced.

[0012]As a result of investigating this cause in detail, it became clear that the potential level difference between the semiconductor diamond layer 51 and the high resistivity diamond layer

52 was because it becomes very large depending on crystal growth conditions. that is, since the band gap which a diamond has is as large as 5.47 eV, the potential level difference of eV half [about 2.5/] also generates the diamond which does not have an impurity and a defect ideally. And actually, though there are few impurities and defects in a diamond layer, being contained to some extent is not avoided. For example, although nitrogen is an impurity most often mixed in a diamond, it is known that this will form a donor level as deep as 1.7 eV. Although a nitrogen mixing diamond is an n-type semiconductor, since the donor level is deep, it serves as high resistivity, and satisfies the requirements for the above-mentioned "high resistivity diamond."

[0013]In formation of the high resistivity diamond layer 52, a possibility that very small quantity nitrogen will mix is high, and the donor level which is 1.7 eV is formed in this case. Since this donor level is not activated at a room temperature, this high resistivity diamond layer 52 does not become a rate of low resistance below 10^2 omega-cm.

[0014]As it is in literature (the "semiconductor physical properties 1", such as ****, Asakura Publishing, the 108th page - the 112nd page), If based on the theory of a semiconductor, for ϵ_D a donor level and ϵ_C The energy of a conducting-zone bottom, If it is an effective density of states [as opposed to / in the absolute temperature and N_D / as opposed to / for k_B / a Boltzmann constant / T / the electron of a conducting zone for donor density and N_C], in the case of an n-type semiconductor, Fermi level ϵ_F will be calculated with the following formula 1.

[0015]

[Equation 1]

$$\epsilon_F = \epsilon_D + k_B T \ln \left[-\frac{1}{4} + \frac{1}{4} \left\{ 1 + \frac{8N_D}{N_C} \exp \left(\frac{\epsilon_C - \epsilon_D}{k_B T} \right) \right\}^{1/2} \right]$$

[0016]As shown in the formula 1, a Fermi level changes in response to the influence of a donor level and temperature. Like a diamond, in a semiconductor with a large band gap, since it is $(\epsilon_C - \epsilon_D)/k_B T \gg 1$, at a room temperature, said formula 1 can be approximated like the lower type 2. From the formula 2, a Fermi level exists between a conducting-zone bottom and a donor level.

[0017]

[Equation 2]

$$\epsilon_F \approx \frac{\epsilon_C + \epsilon_D}{2} + \frac{k_B T}{2} \ln \left(\frac{N_D}{2N_C} \right)$$

[0018]Although the argument about said Fermi level followed the n-type semiconductor, in the case of a p-type semiconductor, by transposing a conducting zone to a valence band and

transposing an electron to an electron hole at an acceptor, respectively can discuss Donna similarly. That is, the Fermi level of a p-type semiconductor exists between a valence-band summit and an acceptor level.

[0019]In the n type high resistivity diamond which nitrogen mixed, even if nitrogen donor concentration is as very small as below 0.1-atom ppm, a Fermi level exists near lower 0.9 eV of a conducting-zone bottom. On the other hand, when doping boron to a semiconductor diamond layer and considering it as a p-type semiconductor diamond, boron serves as an acceptor and this acceptor level exists in upper 0.37eV of a valence-band summit. At this time, a Fermi level will exist near upper 0.2 eV of a valence-band summit. Since the band gap of a diamond, i.e., the energy difference of a conducting-zone bottom and a valence-band summit, is 5.47 eV as above-mentioned, the difference of the Fermi level of both diamonds is calculable with $0.37 - 0.2 = 0.17$ eV of about $5.47 - 0.17 = 5.30$ eV. Thus, when a nitrogen content high resistivity diamond is joined to a boron content semiconductor diamond, the difference of a Fermi level turns into a discontinuous level difference of energy potential, and it will be said that the height of the level difference is 0.17 eV.

[0020]By the way, in order to make a carrier pour into a high resistivity diamond from a semiconductor diamond, it is necessary to reduce a potential level difference with a gate electrode. If a potential level difference is large, unless it will enlarge gate potential so much, a carrier is not poured in and current does not flow. If it thinks simply, and gate potential is set to -4.37V to source potential, pouring of a carrier will take place, but. Actually, since the potential difference of source potential and gate potential is impressed to the both sides of gate dielectric film and a high resistivity diamond, the potential difference impressed to a high resistivity diamond will decrease that much. Therefore, although gate potential required in order to actually reduce the potential level difference of the interface of a high resistivity diamond and a semiconductor diamond is based also on the thickness of gate dielectric film and a high resistivity diamond layer, very as big gate potential as tens thru/hundreds of V is needed. Therefore, a field effect transistor as shown in drawing 10 is not practical.

[0021]More generally, in the electronic device of the structure which joins a high concentration dope diamond and a high resistivity diamond, when it is a conduction type with which they differ, or when [even if it is the same conduction type,] it has the level from which an acceptor or Donna differed, the level difference of energy potential arises in a joining interface. In such a case, in order to pour in a carrier from the high concentration dope diamond side to the high resistivity diamond side, there is a problem that potential difference in the meantime must be enlarged extremely.

[0022]This invention was made in view of this problem, and is ****. In the electronic device which the purpose was excellent in radiation resistance and high-frequency response, and was suitable for the high-temperature-service device, the device for big electric power, and the high

frequency electron device, The diode which uses the efficient electronic device which controlled ohmic current, reduced the barrier energy of career pouring to a channel from the semiconductor doped by high concentration, and made small the standup electric field of space charge limited current, and this electronic device, high -- it is providing amplification factor transistor and thyristor.

[0023]

[Means for Solving the Problem]The 1st semiconductor region where an electronic device concerning this invention serves as a current channel, With the same conduction type as the 1st semiconductor region, join to this 1st semiconductor region, have the 2nd semiconductor region where resistivity is lower than said 1st semiconductor region, and said 1st semiconductor region, It is characterized by carrier concentration in an equilibrium situation in the operating temperature being below 10^{15}cm^{-3} .

[0024]In this invention, by below 10^{15}cm^{-3} carrying out carrier concentration of the 1st semiconductor region, ohmic current is controlled and it can shift to the state where current by career pouring, i.e., space charge limited current, becomes dominant at a low electric field. Thereby, efficiency of an electronic device can be raised. Although it is desirable ideally for ohmic current to be 0, it is impossible to realize it on practical conditions. Although carrier concentration changes also with temperature, if below 10^{15}cm^{-3} carries out carrier concentration in an equilibrium situation in temperature which operates an electronic device, ohmic current can be reduced to a level which is satisfactory practically. Since ohmic current can be reduced to near a limit of measurement if below 10^{13}cm^{-3} carries out carrier concentration, it is more desirable.

[0025]Barrier energy at the time of pouring in a career (it is an electron hole in the case of an electron and a p-type semiconductor in the case of an n-type semiconductor) from the 2nd semiconductor region to the 1st semiconductor region can be reduced by making a conduction type of the 2nd semiconductor region the same as the 1st semiconductor region, and making resistivity lower than the 1st semiconductor region. As a result, a standup electric field of space charge limited current can be made small. For example, below $1 \times 10^5 \text{V/cm}$ can carry out this standup electric field (threshold electric field). If a growth constant to an electric field of current through which an electric field impressed to said 1st and 2nd semiconductor regions flows into the 1st semiconductor region from the 2nd semiconductor region below by this threshold electric field at this time is set to about 1 and an electric field exceeds said threshold electric field, said growth constant will exceed 1. A growth constant is the numerical value that current is proportional to several power of the increase staffs of an electric field. In an ideal ohm rule, a growth constant is strictly set to 1, current is proportional to an electric field, as for ideal space

charge limited current, a growth constant is strictly set to 2, and current is proportional to a square of an electric field. However, a growth constant does not turn into an integer actually by contact resistance of other various factors, i.e., a crystal defect, and an electrode, and a semiconductor, etc. Near the electric field which shifts to space charge limited current exceeding said threshold electric field from an ohm rule, a growth constant increases to a larger value smaller than 2 than 1 to 1, increases to a case of after that many, and also 2 or more, and is eventually set to about 2 (literature (the "semiconductor physical properties 1", such as ****, Asakura Publishing, the 162nd page)).

[0026]In this invention, if an electrode is formed in the 1st semiconductor region, impressed electromotive force between the electrode and 2nd semiconductor region, or the 3rd semiconductor region will mainly govern an electric field substantially built over the 1st semiconductor region. When producing 2 terminal elements which have the 3rd semiconductor region, it is not necessary to necessarily form an electrode in the 1st semiconductor region, and voltage impressed between the 2nd semiconductor region and the 3rd semiconductor region governs an electric field substantially built over the 1st semiconductor region in that case.

[0027]drawing 1 (a) and (b) -- the 1st semiconductor region from the 2nd semiconductor region -- a carrier (a case of an n-type semiconductor -- an electron.) In the case of a p-type semiconductor, it is a mimetic diagram showing a size of barrier energy at the time of pouring in an electron hole, and drawing 1 (a) shows a size of barrier energy in the conventional electronic device, and drawing 1 (b) shows a size of barrier energy in an electronic device of this invention. As shown in drawing 1 (a), when a semiconductor, an insulator, or metal joins mutually, movement of an electron and an electron hole takes place so that electron density may become equal in the same energy level. The transition region 15 is formed near a joining interface by mutual movement of an electron and an electron hole. In a field of both sides of a transition region, a Fermi level is in agreement. Therefore, in a joining interface, an energy barrier of a conducting zone or an electrification child belt arises according to a difference of a Fermi level. If a difference of a conducting zone or an electrification child belt, and a Fermi level is large, an energy barrier of a conducting zone or an electrification child belt will become large, and an energy barrier will also become small if this difference is small. In this invention, as shown in drawing 1 (b), by making small a difference of a conducting zone or an electrification child belt, and a Fermi level, an energy barrier can be made small and a standup electric field of space charge limited current can be made small.

[0028]As for a band gap of said 1st and 2nd semiconductor regions, it is preferred that it is not less than 2 eV, and said 1st and 2nd semiconductor regions, It is preferred that they are one or more sorts of materials chosen from a group which consists of a diamond, silicon carbide, gallium nitride, boron nitride, aluminum nitride, indium nitride, a zinc oxide, titanium oxide, tin

oxide, and indium oxide, or a mixed material of those.

[0029]An electronic device of this invention can be used as a suitable electronic device for a high-temperature-service device, a device for big electric power, etc. by using a band gap of the 1st and 2nd semiconductor regions as a not less than 2-eV wideband gap semiconductor. When a band gap of the 1st and 2nd semiconductor regions is less than 2 eV, since there is little change of a Fermi level by impurity and a defect, an effect of this invention is small. However, by choosing a semiconductor with a large band gap at least as one side, since variation of a Fermi level becomes large, a bigger effect is acquired. As an example of a semiconductor which is a wideband gap with a large band gap, there are a diamond, silicon carbide, gallium nitride, boron nitride, aluminum nitride, indium nitride, a zinc oxide, titanium oxide, tin oxide, indium oxide, etc. The 1st semiconductor region and 2nd semiconductor region do not necessarily need to comprise same material.

[0030]In an atomic ratio under crystal used as a parent, as for dopant concentration of said 1st semiconductor region, it is preferred that it is 10 ppm or less, and it is 0.1 ppm or less more preferably.

[0031]Carrier concentration of the 1st semiconductor region can be low stopped also by mutual complementation of an acceptor with Donna. However, although a donor acceptor pair compensated mutually does not generate a career, it can take the dispersion lead in a career. Therefore, it becomes a factor which reduces mobility of a career. Therefore, the career can realize high mobility and can raise the high-frequency response of an electronic device, so that concentration of a compensated impurity and a defect is low. A threshold electric field which shifts to space-charge-limited-current mode becomes low, so that a defect and trap concentration by an impurity are low, and current after shift becomes large. The lower one of trap concentration according to a defect and an impurity also at the meaning is desirable. If dopant concentration is 10 ppm or less, most said adverse effects will not be seen. It is more desirable 0.1 ppm or less near a detection limit of a secondary ion mass spectrum (Secondary Ion Mass Spectroscopy).

[0032]The doping impurity (dopant) of the 1st and 2nd semiconductor regions does not necessarily need to be the same element. For example, the 1st semiconductor region may be a n type diamond of a phosphorus dope, and the 2nd semiconductor region may be a n type diamond of a sulfur dope. A p type diamond and the 2nd semiconductor region where a certain crystal defect whose 1st semiconductor region is not an impurity serves as an acceptor may be a p type diamond of *****.

[0033]As for dopant concentration of said 2nd semiconductor region, it is preferred again that it is more than Mott concentration.

[0034]It mainly depends for a carrier amount poured in from the 2nd semiconductor region to the 1st semiconductor region on carrier concentration of an electric field impressed to an

interface of the 1st semiconductor region and the 2nd semiconductor region, and the 2nd semiconductor region. Therefore, more carriers are poured in to the 1st semiconductor region, so that carrier concentration of the 2nd semiconductor region is high, if an electric field to impress is the same. What is necessary is to raise dopant concentration and just to lower a compensation rate, in order to raise carrier concentration. Mott concentration is dopant concentration which shifts to an action with a metallic semiconductor. An activation rate of a carrier can be made into about 100% by carrying out dopant concentration more than Mott concentration. When providing a metal electrode which touches the 2nd semiconductor region, contact resistance of the 2nd semiconductor region and a metal electrode can be reduced by raising the 2nd carrier concentration or dopant concentration of a semiconductor region.

[0035] Said 1st semiconductor region and said 2nd semiconductor region can consist of diamonds, and can consist of a n type diamond which doped one or more sorts of elements chosen from a group which consists of a p type diamond or sulfur, Lynn, nitrogen, oxygen, and lithium which ***** (ed) again.

[0036] By using the 1st and 2nd semiconductor regions both as a diamond, an electronic device excellent in carrier mobility, heat resistance, stability, radiation resistance, a dielectric breakdown electric field, etc. is realizable. If boron is doped in a diamond, it will become a p-type semiconductor. Although the p type is easier for production and rate [of low resistance] -izing is easier than a n type about a diamond at present, it is also possible to, use the 1st and 2nd semiconductor regions as a n type diamond which doped at least one sort in sulfur, Lynn, nitrogen, oxygen, and lithium depending on a use, of course.

[0037] The electronic device concerning this invention can have again the 1st metal electrode that is connected to said 1st semiconductor region and sends current through said 1st semiconductor region, and the 2nd metal electrode that is connected to said 2nd semiconductor region and sends current through said 2nd semiconductor region.

[0038] Thereby, contact resistance in a case of taking out supply or current for current can be reduced to the 1st and 2nd semiconductor regions, and the stability of an electronic device increases to them.

[0039] The electronic device concerning this invention can have again the 3rd semiconductor region joined by near opposite hand where said 2nd semiconductor region in said 1st semiconductor region is joined, As for this 3rd semiconductor region, it is preferred that resistivity is lower than said 1st semiconductor region at the same conduction type as said 1st semiconductor region.

[0040] It can be considered as sandwich structure which joined by this the 2nd and 3rd semiconductor regions where resistivity is low to both sides of the 1st semiconductor region where resistivity is high. A carrier supplied from the 2nd semiconductor region can pass along the 1st semiconductor region by this, and an electronic device which reaches to the 3rd

semiconductor region can be produced. At this time, it becomes possible by using the 3rd semiconductor region as the same conduction type as the 2nd semiconductor region, and considering it as a semiconductor region of a rate of low resistance from the 1st semiconductor region to catch a career which is going to flow into the 3rd semiconductor region from the 1st semiconductor region efficient. On the other hand, since an energy barrier is made into an interface of the 1st semiconductor region and the 3rd semiconductor region when resistivity is high even if of the same type when the 3rd semiconductor region is a semiconductor of a different mold from the 1st semiconductor region and, it serves as interfacial resistance and a career cannot be poured efficiently.

[0041]As long as the above-mentioned conditions are fulfilled, said 1st semiconductor region, said 2nd semiconductor region, and said 3rd semiconductor region, It can consist of diamonds and can consist of a n type diamond which doped one or more sorts of elements chosen from a group which consists of a p type diamond or sulfur, Lynn, nitrogen, oxygen, and lithium which ***** (ed) especially.

[0042]The electronic device concerning this invention can have again the 2nd metal electrode that is connected to said 2nd semiconductor region and sends current through said 2nd semiconductor region, and the 3rd metal electrode that is connected to said 3rd semiconductor region and sends current through said 3rd semiconductor region.

[0043]3 terminal elements which have reduction and stability of contact resistance in a case of taking out supply or current for current to the 2nd and 3rd semiconductor regions by this are producible.

[0044]It can have again an insulator layer provided on said 1st semiconductor region, and the electrode provided on said insulator layer.

[0045]Thereby, capacitor structure can be formed and it becomes possible to form electronic devices, such as a field effect transistor.

[0046]The 1st semiconductor region where a diode concerning this invention serves as a current channel, With the same conduction type as the 1st semiconductor region, join to this 1st semiconductor region, have the 2nd semiconductor region where resistivity is lower than said 1st semiconductor region, and said 1st semiconductor region, Carrier concentration in an equilibrium situation in the operating temperature has an electronic device which is below 10^{15} cm^{-3} .

[0047]The 1st semiconductor region where a transistor concerning this invention serves as a current channel, With the same conduction type as the 1st semiconductor region, join to this 1st semiconductor region, have the 2nd semiconductor region where resistivity is lower than said 1st semiconductor region, and said 1st semiconductor region, Carrier concentration in an equilibrium situation in the operating temperature has an electronic device which is below 10^{15} cm^{-3} .

[0048]The 1st semiconductor region where a thyristor concerning this invention serves as a current channel, With the same conduction type as the 1st semiconductor region, join to this 1st semiconductor region, have the 2nd semiconductor region where resistivity is lower than said 1st semiconductor region, and said 1st semiconductor region, Carrier concentration in an equilibrium situation in the operating temperature has an electronic device which is below 10^{15} cm^{-3} .

[0049]Said electronic device is applicable to various electronic parts, such as various current control elements, such as various sensors, such as various diodes, such as a rectifier diode and a light emitting diode, a photosensor, a heat sensor, an ion sensor, and a gas sensor, and a switching element, a transistor, and a thyristor.

[0050]

[Embodiment of the Invention]Hereafter, the example of this invention is concretely described with reference to an attached drawing. First, the 1st example of this invention is described. Drawing 2 (a) thru/or (d), drawing 3 (a) or (c), drawing 4 (a) or (d), drawing 5 (a) or (c), and drawing 6 are the sectional views showing the manufacturing method of the electronic device concerning this example at process order. This example shows the example which produces a transistor.

[0051]First, as shown in drawing 2 (a), on the insulator diamond crystal substrate 1, B doped p type semiconductor diamond thin film 2 which serves as the 2nd and 3rd semiconductor regions with a microwave plasma CVD method (the Chemical Vapor Deposition method: chemical vapor deposition) is formed in thickness of 0.1 micrometer. The film formation condition is as follows. Methane of hydrogen dilution is used as material gas. CH_4 is [0.5 volume % and H_2 of the presentation] 99.5 volume %. Doping gas uses B_2H_6 gas and sets the B/C ratio in gas to 200-atom ppm. By 100-ml/(normal condition), gas pressure at the time of membrane formation shall be set to 6.67kPa, and substrate temperature shall be the total flow of gas 800 **. The carrier concentration of the semiconductor diamond deposited by this condition is more than 10^{20} cm^{-3} , and the p-type semiconductor diamond membrane 2 whose resistivity is sufficiently low is obtained.

[0052]Next, the 0.3-micrometer-thick silicon oxide 3 is made to deposit on the semiconductor diamond thin film 2, as shown in drawing 2 (b).

[0053]Next, as shown in drawing 2 (c), the resist 4 is formed on the silicon oxide 3, and the resist 4 is patterned with electron beam lithography.

[0054]Next, as shown in drawing 2 (d), the silicon oxide 3 is etched by using resist 4 as a mask, and the opening 3a is formed in the silicon oxide 3. Etching gas is made into CF_4 and the mixed gas of Ar, and reactive ion etching performs etching as a plasma source using dielectric joint plasma (ICP:Inductively Coupled Plasma).

[0055]Next, as shown in drawing 3 (a), the resist 4 is removed, the p-type semiconductor diamond membrane 2 is etched by using the etched silicon oxide 3 as a mask, and the semiconductor diamond thin film 2 is patterned. The semiconductor diamond thin film 2 is divided into the semiconductor diamond thin film 2a and two thin films of 2b at this time (the 2nd semiconductor region and 3rd semiconductor region). By this etching, ICP is used for a plasma source like etching of the silicon oxide film 3. Oxygen is used for etching gas, by 50-ml/ (normal condition), a pressure shall be 2.67 Pa and substrate bias voltage is set to 2000V for the flow of oxygen. Since the silicon oxide 3 used as a mask at this time is hardly etched to oxygen plasma, it remains as it is.

[0056]Next, as shown in drawing 3 (b), B doped p type semiconductor diamond thin film 5 which is the 1st semiconductor region is formed in thickness of 0.1 micrometer on the exposed part of the insulator diamond crystal substrate 1, and the silicon oxide 3. At this time, methane of hydrogen dilution is used as material gas. CH_4 is [0.5 volume % and H_2 of the presentation of this material gas] 99.5 volume %. Doping gas uses B_2H_6 gas and sets the B/C ratio in gas to 0.1-atom ppm. By 100-ml/(normal condition), gas pressure at the time of membrane formation shall be set to 6.67kPa, and substrate temperature shall be the total flow of gas 800 **. The carrier concentration of B doped p type semiconductor diamond thin film 5 deposited by this condition is below 10^{15}cm^{-3} , and the semiconductor diamond thin film 5 has high resistivity as compared with the semiconductor diamond thin film 2a and 2b.

[0057]As shown in drawing 3 (c) after forming the semiconductor diamond thin film 5, the lift-off process of etching the silicon oxide 3 with an HF aqueous solution removes the semiconductor diamond thin film 5 formed on the silicon oxide 3 with the silicon oxide 3. As for the semiconductor diamond thin film 5 of the high resistivity below 10^{15}cm^{-3} , carrier concentration is formed only in the portion into which the semiconductor diamond thin film 2 of the rate of low resistance was etched at this time. . Be caught in the semiconductor diamond thin film 2a, 2b, the semiconductor diamond thin film 2a, and 2b of the rate of low resistance on the insulator diamond crystal substrate 1 by the above method. The electronic device 6 in which the high resistivity arranged so that it may connect with these was formed semiconductor diamond thin film 5 can be obtained.

[0058]Next, as shown in drawing 4 (a), the silicon oxide 7 is formed in thickness of 0.05 micrometer as an insulator layer all over the electronic device 6 top.

[0059]Next, as shown in drawing 4 (b), the resist 8 is patterned so that the resist 8 may be formed on the silicon oxide 7 and the opening 8a may be formed above the semiconductor diamond thin film 5 of high resistivity.

[0060]Next, a thickness of 0.2 micrometer is made to deposit metal Al film 9 by sputtering process on the exposed part of the silicon oxide 7, and the resist 8, as shown in drawing 4 (c).

[0061]Next, as shown in drawing 4 (d), the resist 8 is dissolved with acetone. At this time, only Al film 9 deposited on the resist 8 is removed, and Al film 9 remains above the semiconductor diamond thin film 5 of high resistivity. This Al film 9 that remained serves as the gate electrode 9a.

[0062]Next, as shown in drawing 5 (a), the resist 10 is patterned so that the resist 10 may be formed on the exposed part of the silicon oxide 7, and the gate electrode 9a and the two openings 10a and 10b may be formed, respectively on the semiconductor diamond thin film 2a of the rate of low resistance, and 2b.

[0063]Next, as shown in drawing 5 (b), the silicon oxide 7 is etched with the HF aqueous solution of concentration 0.5 mass % by using resist 10 as a mask. Since the resist 10 is not etched depending on fluoric acid (HF aqueous solution) at this time, it remains as it is.

[0064]Next, a thickness of 0.2 micrometer is made to deposit metal Pt film 11 by sputtering process on the exposed part of the semiconductor diamond thin film 2a and 2b, and the resist 10, as shown in drawing 5 (c).

[0065]Next, as shown in drawing 6, the resist 10 is dissolved with acetone. At this time, only Pt film 11 deposited on the resist 10 is removed, and Pt film 11 remains in the semiconductor diamond thin film 2a of the rate of low resistance, and the upper part of 2b. These Pt films 11 that remained become the source electrode 11a and the drain electrode 11b, respectively. Thus, the field effect transistor 12 by which the insulator layer 7, the gate electrode 9a, the source electrode 11a, and the drain electrode 11b were formed on the electronic device 6 is producible.

[0066]Next, the composition of the field effect transistor 12 which is an electronic device concerning this example is explained. In [as shown in drawing 6] the field effect transistor 12, On the insulator diamond crystal substrate 1, carrier concentration is more than 10^{20} cm^{-3} -- low -- resistivity B doped p type semiconductor diamond thin film 2a, 2b, and carrier concentration are below 10^{15} cm^{-3} , and high resistivity B doped p type semiconductor diamond thin film 5 is formed. The semiconductor diamond thin film 2a and 2b are arranged, respectively so that it may connect with the semiconductor diamond thin film 5 and the semiconductor diamond thin film 5 may be pinched. On the semiconductor diamond thin film 2a and 2b, the source electrode 11a and the drain electrode 11b which consist of Pt(s) so that it may connect with the semiconductor diamond thin film 2a and 2b, respectively are provided. The silicon oxide 7 which is an insulator layer is formed in the upper surface of the field in which the source electrode 11a and the drain electrode 11b in the upper surface of the semiconductor diamond thin film 2a and 2b are not provided, and the semiconductor diamond thin film 5. On the silicon oxide 7 on the semiconductor diamond thin film 5, the gate electrode 9a which consists of aluminum is formed.

[0067]in this example -- low, since the silicon oxide 3 used as a mask can be used as a mask

when patterning the high resistivity semiconductor diamond thin film 5 by a lift off as it is when etching the resistivity semiconductor diamond thin film 2, The semiconductor diamond thin film 2 and the semiconductor diamond thin film 5 are aligned in self align.

[0068]Since the field effect transistor 12 is constituted by the diamond, heat resistance, stability, radiation resistance, and a dielectric breakdown electric field, i.e., pressure-proofing, are excellent. Since the carrier concentration of the semiconductor diamond thin film 5 is below 10^{15} cm^{-3} , ohmic current can be reduced and the standup electric field of space charge limited current can be made small. In the field effect transistor 12 concerning this example, the threshold electric field to which ohmic current and space charge limited current become equal is below $1 \times 10^5 \text{ V/cm}$. At this time, the impressed electromotive force between the gate electrode 9a, the source electrode 11a, or the drain electrode 11b mainly governs the electric field substantially impressed to the high resistivity semiconductor diamond thin film 5. When not using the gate electrode 9a, the impressed electromotive force between the source electrode 11a or the drain electrode 11b governs the electric field substantially impressed to the semiconductor diamond thin film 5.

[0069]The semiconductor diamond thin film 2a and 2b are the same p-type semiconductors as the semiconductor diamond thin film 5, Since resistivity is lower than the semiconductor diamond thin film 5, the pouring barrier energy of the career (electron hole) which is going to flow into the semiconductor diamond thin film 5 from the semiconductor diamond thin film 2a can be reduced. Since the carrier concentration of the semiconductor diamond thin film 2 is more than 10^{20} cm^{-3} , the efficiency of the field effect transistor 12 can be raised again.

[0070]Next, the 2nd example of this invention is described. Drawing 7 (a) thru/or (d), and drawing 8 (a) thru/or (c) are the sectional views showing the manufacturing method of the electronic device concerning this example at process order.

[0071]First, as shown in drawing 7 (a), on the insulator diamond crystal substrate 21, B doped p type semiconductor diamond thin film 22 which is the 1st semiconductor region is formed in thickness of 0.1 micrometer with a microwave plasma CVD method (the Chemical Vapor Deposition method: chemical vapor deposition). The film formation condition is as follows. Methane of hydrogen dilution is used as material gas. CH_4 is [0.5 volume % and H_2 of the presentation] 99.5 volume %. Doping gas uses B_2H_6 gas and sets the B/C ratio in gas to 0.1-atom ppm. By 100-ml/(normal condition), gas pressure at the time of membrane formation shall be set to 6.67kPa, and substrate temperature shall be the total flow of gas 800 **. The carrier concentration of the semiconductor diamond thin film 22 deposited by this condition is below 10^{15} cm^{-3} .

[0072]Next, as shown in drawing 7 (b), the 0.3-micrometer-thick silicon oxide 23 is deposited on the semiconductor diamond thin film 22.

[0073]Next, as shown in drawing 7 (c), the resist 24 is formed on the silicon oxide 23, and the resist 24 is patterned with electron beam lithography.

[0074]Next, as shown in drawing 7 (d), the silicon oxide 23 is etched and patterned by using resist 24 as a mask, and the layered product 25 which consists of the insulator diamond crystal substrate 21, the semiconductor diamond thin film 22, the silicon oxide 23, and the resist 24 is formed. Etching gas is made into CF_4 and the mixed gas of Ar, and reactive ion etching performs etching of the silicon oxide 23 as a plasma source using dielectric joint plasma (ICP:Inductively Coupled Plasma).

[0075]Next, as shown in drawing 8 (a), the layered product 25 upper surface is irradiated with the B ion 26 with ion implantation. Ion-implantation conditions set accelerating energy to 60keV, and make Ion Dors $3.5 \times 10^{16} \text{cm}^{-2}$. In order that the silicon oxide 23 may work as a mask to the B ion 26 at this time, The B ion 26 does not reach in the field 27 covered with the silicon oxide 23 in the semiconductor diamond thin film 22, but the B ion 26 is poured only into the fields 28a and 28b which are not covered with the silicon oxide 23 in the semiconductor diamond thin film 22. thereby, as for the fields 28a and 28b in the semiconductor diamond thin film 22, the B ion 26 was poured in -- resistivity falls to a sake -- respectively -- low -- it becomes the resistivity semiconductor diamond thin films 29a and 29b (the 2nd semiconductor region and 3rd semiconductor region).

[0076]Next, as shown in drawing 8 (b), B poured in in the layered product 25 into which the B ion 26 was poured by performing temperature of 950 ** and heat treatment for 30 minutes in a vacuum is activated. Since the layer part (not shown) of the semiconductor diamond thin films 29a and 29b in which B was poured in is graphite-ized by this heat treatment (annealing process), it removes this layer part by washing with the chromic acid sulfuric acid saturated solution heated at 200 **. By the above method, on the insulator diamond crystal substrate 21, it has been arranged to two fields which connect with the high resistivity semiconductor diamond thin film 22 and the semiconductor diamond thin film 22, and sandwich this -- low -- the electronic device 30 in which the resistivity semiconductor diamond thin films 29a and 29b were formed can be obtained.

[0077]B was poured in -- low -- resistivity depth direction distribution of B concentration of the semiconductor diamond thin films 29a and 29b, When actually measured by SIMS (Secondary Ion Mass Spectrometer: secondary ion mass spectrometer), the field more than 10^{19}cm^{-3} was observed for B concentration covering a depth of about 0.1 micrometer. Also in hole measurement, carrier concentration is more than 10^{17}cm^{-3} , and resistivity was cut low enough.

[0078]The composition of the electronic device 30 is the same as the composition of the electronic device 6 in said 1st example. the insulator diamond crystal substrate 1 in the

electronic device 6 -- low -- the resistivity semiconductor diamond thin film 2a, 2b, and the high resistivity semiconductor diamond thin film 5, the insulator diamond crystal substrate 21 in the electronic device 30 -- low -- it is equivalent to the resistivity semiconductor diamond thin films 29a and 29b and the high resistivity semiconductor diamond thin film 22, respectively.

[0079]Next, the electronic device 30 is used and the field effect transistor 31 as shown in drawing 8 (c) is formed by the method shown in drawing 4 (a) thru/or (d), drawing 5 (a) or (c), and drawing 6 in said 1st example.

[0080]The composition of the field effect transistor 31 in this example is the same as that of the field effect transistor 12 in said 1st example.

[0081]In this example, by using ion implantation for formation of the rate semiconductor region of low resistance, As compared with the method (henceforth the doping method during membrane formation) of forming membranes, while doping which performed in said 1st example, control of dopant concentration becomes easy and it becomes easy to form the concentration distribution optimized for complicated concentration distribution or a certain use. Although the relation between a feed ratio and the concentration actually incorporated into a film changes with film formation conditions by the doping method during membrane formation, there is an advantage that the dopant concentration incorporated with a charge is decided uniquely, in ion implantation.

[0082]On the other hand, there is an advantage shown below in said 1st example. In the ion implantation of said 2nd example, in order to induce a crystal defect inevitably, the annealing process for recovering a defect is required. If a semiconductor is silicon, defective recovery is easy, but defective recovery is comparatively difficult for a diamond. Since atomic binding energy of a diamond is high, in order to recover a defect, it is necessary to anneal the reason at an elevated temperature as much as possible, and to anneal it above at least 500 **, and it is because it is easy to carry out the phase change of the diamond at graphite so that it is an elevated temperature. However, during membrane formation, in the doping method, since there is almost no induction of the defect by doping, an annealing process becomes unnecessary.

[0083]

[Effect of the Invention]In the electronic device which has two kinds of semiconductor regions where the carrier concentration joined mutually differs according to this invention as explained in full detail above, The electronic device which can make the difference of a Fermi level small can be provided by making carrier concentration of the semiconductor region by the side of low concentration as low as possible, and making the conduction type of these semiconductor regions the same, controlling ohmic current as much as possible. For this reason, since career pouring barrier energy from the high concentration side to the low concentration side can be made small, the standup electric field in space-charge-limited-current mode can be made

small, and a carrier can be poured more into high concentration by a low electric field. The electronic device which can form an efficient electronic device on any substrates by this, for example, uses a wideband gap semiconductor like a diamond can be obtained. Thereby, the device for short wavelength luminescence, a high-temperature-service device, the device for big electric power, and a high frequency electron device can be obtained.

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1](a) is a mimetic diagram showing the size of the barrier energy in the conventional electronic device, and (b) is a mimetic diagram showing the size of the barrier energy in the electronic device of this invention.

[Drawing 2](a) Or (d) is a sectional view showing the manufacturing method of the electronic device concerning the 1st example of this invention at process order.

[Drawing 3](a) Or (c) is a sectional view showing the manufacturing method of the electronic device concerning this example, and is a figure showing the next process of drawing 2.

[Drawing 4](a) Or (d) is a sectional view showing the manufacturing method of the electronic device concerning this example, and is a figure showing the next process of drawing 3.

[Drawing 5](a) Or (c) is a sectional view showing the manufacturing method of the electronic device concerning this example, and is a figure showing the next process of drawing 4.

[Drawing 6]It is a sectional view showing the manufacturing method of the electronic device concerning this example, and is a figure showing the next process of drawing 5.

[Drawing 7](a) Or (d) is a sectional view showing the manufacturing method of the electronic device concerning the 2nd example of this invention at process order.

[Drawing 8](a) Or (c) is a sectional view showing the manufacturing method of the electronic device concerning this example, and is a figure showing the next process of drawing 7.

[Drawing 9]It is a sectional view showing the composition of the conventional field effect transistor.

[Drawing 10]It is a typical sectional view showing the composition of the conventional field effect transistor.

[Description of Notations]

1; insulator diamond crystal substrate

2a and 2b; -- low -- an resistivity semiconductor diamond thin film

3; silicon oxide
3a; the opening of the silicon oxide 3
4; resist
5; a high resistivity semiconductor diamond thin film
6; electronic device
7; silicon oxide
8; resist
8a; the opening of the resist 8
9; Al film
9a; gate electrode
10; resist
10a, 10b; the opening of the resist 10
11 ;P t film
11a; source electrode
11b; drain electrode
12; field effect transistor
15; transition region
21; insulator diamond crystal substrate
22; a high resistivity semiconductor diamond thin film
23; silicon oxide
24; resist
25; layered product
26;B ion
27; the field covered with the silicon oxide 23 in the semiconductor diamond thin film 22
28a, 28b; the field which is not covered with the silicon oxide 23 in the semiconductor diamond thin film 22
29a and 29b; -- low -- an resistivity semiconductor diamond thin film
30; electronic device
31; field effect transistor
41; Si substrate
42; diamond insulator foundation layer
43; p type diamond semiconductor layer
44a, 44b; n type diamond semiconductor layer
45; diamond insulation layer
46S; source electrode
46G; gate electrode
46D; drain electrode

51; semiconductor diamond layer
52; high resistance diamond layer
53; semiconductor diamond layer
54; source electrode
55; gate electrode
56; drain electrode
57; channel layer

[Translation done.]

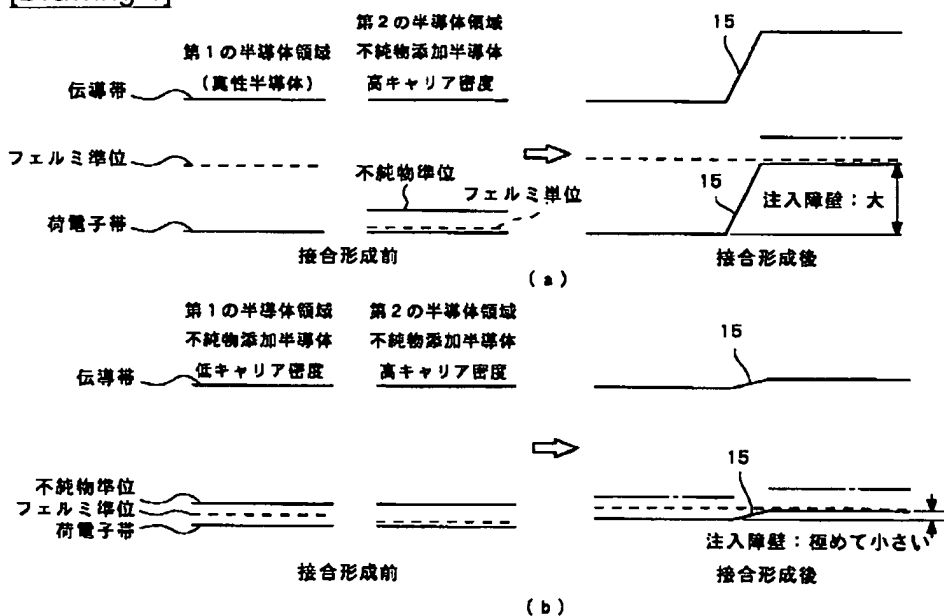
* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

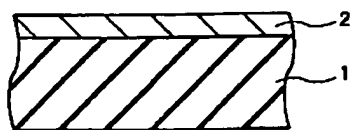
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

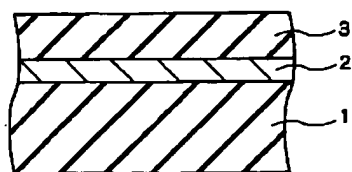
[Drawing 1]



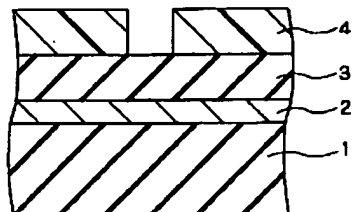
[Drawing 2]



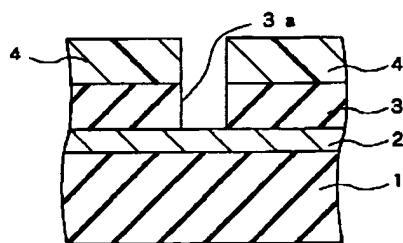
(a)



(b)

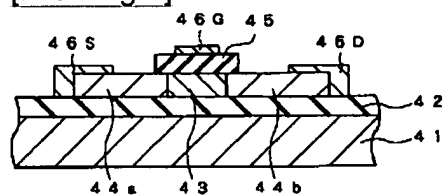


(c)

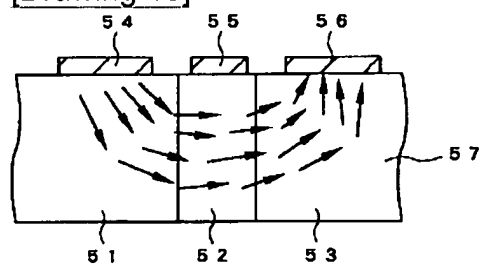


(d)

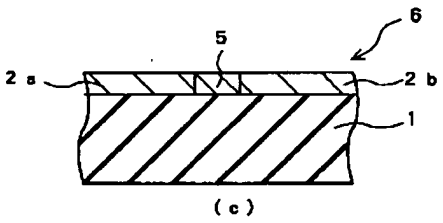
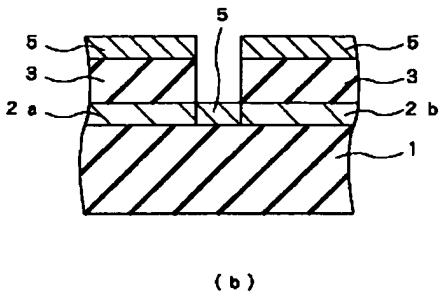
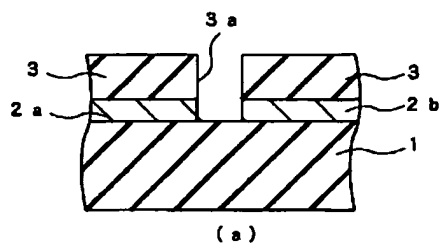
[Drawing 9]



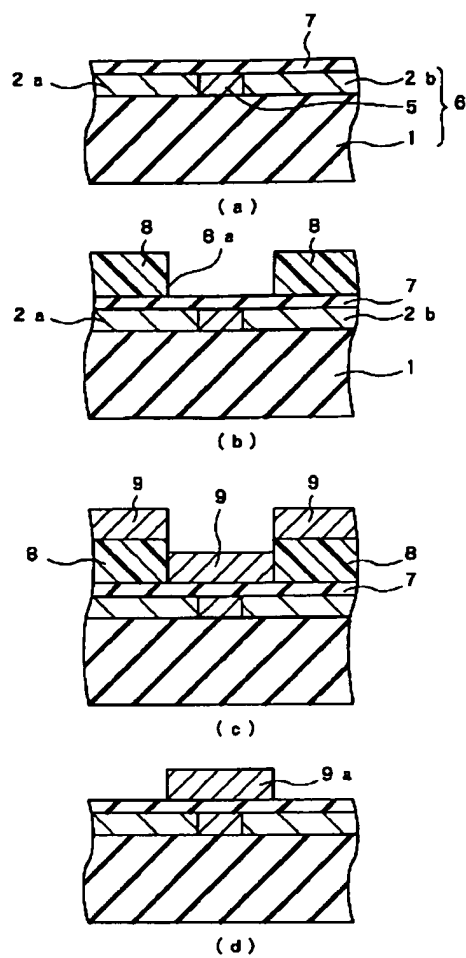
[Drawing 10]



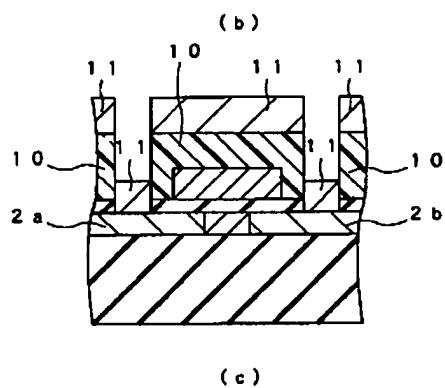
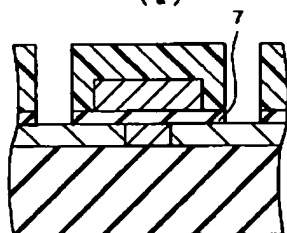
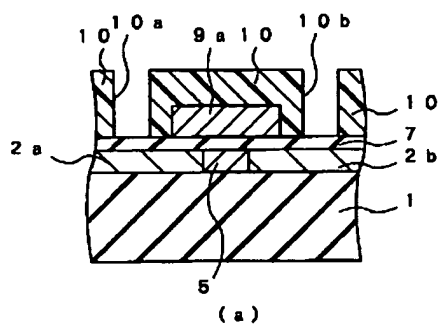
[Drawing 3]



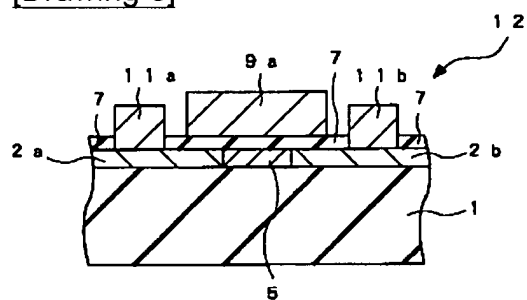
[Drawing 4]



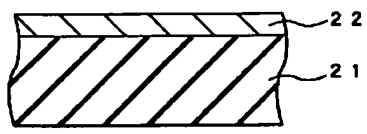
[Drawing 5]



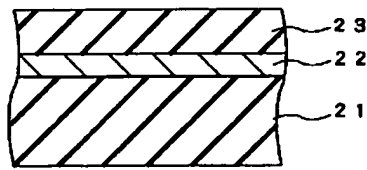
[Drawing 6]



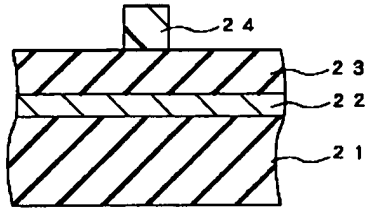
[Drawing 7]



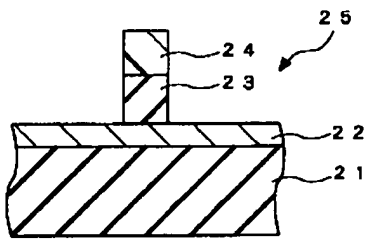
(a)



(b)

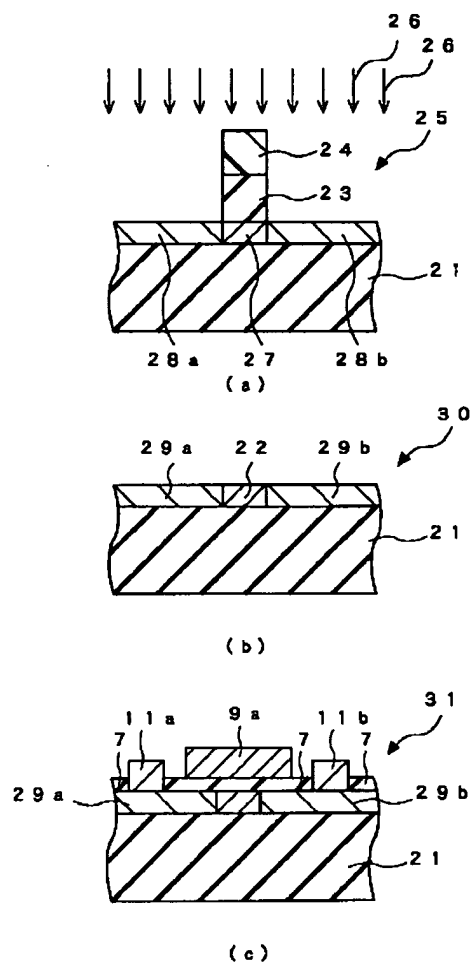


(c)



(d)

[Drawing 8]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-76369

(P2002-76369A)

(43) 公開日 平成14年3月15日 (2002.3.15)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テームコード* (参考) | |
|--------------------------------------|-------|---------------|--------------|-----------|
| H 0 1 L 29/861 | | H 0 1 L 21/28 | 3 0 1 B | 4 M 1 0 4 |
| 21/28 | 3 0 1 | | 3 0 1 H | 5 F 0 0 5 |
| | | | 3 0 1 F | 5 F 0 4 1 |
| 29/74 | | 33/00 | A | 5 F 1 1 0 |
| | | 29/91 | F | |
| 審査請求 未請求 請求項の数24 O L (全 13 頁) 最終頁に続く | | | | |

(21) 出願番号 特願2000-266325 (P2000-266325)

(22) 出願日 平成12年9月1日 (2000.9.1)

(71) 出願人 000001199

株式会社神戸製鋼所

兵庫県神戸市中央区脇浜町1丁目3番18号

(72) 発明者 川上 信之

兵庫県神戸市西区高塚台1丁目5番5号

株式会社神戸製鋼所神戸総合技術研究所内

(72) 発明者 横田 嘉宏

兵庫県神戸市西区高塚台1丁目5番5号

株式会社神戸製鋼所神戸総合技術研究所内

(74) 代理人 100090158

弁理士 藤巻 正憲

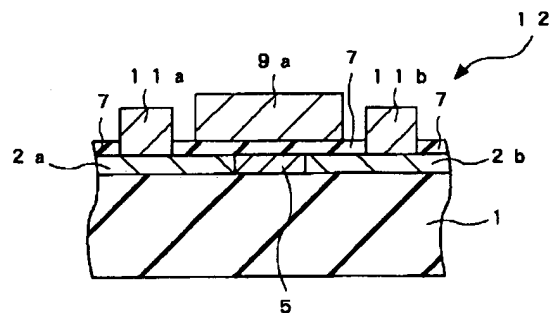
最終頁に続く

(54) 【発明の名称】 電子素子並びにそれを使用するダイオード、トランジスタ及びサイリスタ

(57) 【要約】

【課題】 耐熱性、耐放射線性及び高周波応答性が優れ、高温用デバイス、大電力用デバイス及び高周波電子デバイスに適した電子素子において、オーミック電流を抑制し、高濃度にドーパされた半導体からチャネルへのキャリア注入の障壁エネルギーを低減して空間電荷制限電流の立ち上がり電界を小さくした高効率な電子素子及びこの電子素子を使用したダイオード、トランジスタ及びサイリスタを提供する。

【解決手段】 絶縁体ダイヤモンド結晶基板1上にキャリア濃度を 10^{15} cm^{-3} 以下の高抵抗率な半導体ダイヤモンド薄膜5を設け、これを挟むようにキャリア濃度が 10^{20} cm^{-3} 以上の低抵抗率な半導体ダイヤモンド薄膜2a及び2bを設け、半導体ダイヤモンド薄膜5、2a及び2bの伝導型を同じにする。更に、半導体ダイヤモンド薄膜2a、2b及び5上に夫々ソース電極11a、ドレイン電極11b及びゲート電極9aを設ける。



【特許請求の範囲】

【請求項1】 電流チャネルとなる第1の半導体領域と、この第1の半導体領域に接合し第1の半導体領域と同じ伝導型で前記第1の半導体領域よりも抵抗率が低い第2の半導体領域と、を有し、前記第1の半導体領域は、その動作温度での平衡状態におけるキャリア濃度が 10^{15} cm^{-3} 以下であることを特徴とする電子素子。

【請求項2】 前記第1の半導体領域の動作温度での平衡状態におけるキャリア濃度が 10^{13} cm^{-3} 以下であることを特徴とする請求項1に記載の電子素子。

【請求項3】 前記第1の半導体領域のバンドギャップが2 eV以上であることを特徴とする請求項1又は2に記載の電子素子。

【請求項4】 前記第1の半導体領域が、ダイヤモンド、炭化ケイ素、窒化ガリウム、窒化ホウ素、窒化アルミニウム、窒化インジウム、酸化亜鉛、酸化チタン、酸化スズ及び酸化インジウムからなる群から選択された1種以上の材料又はその混合材料からなることを特徴とする請求項1乃至3のいずれか1項に記載の電子素子。

【請求項5】 前記第2の半導体領域のバンドギャップが2 eV以上であることを特徴とする請求項1乃至4のいずれか1項に記載の電子素子。

【請求項6】 前記第2の半導体領域が、ダイヤモンド、炭化ケイ素、窒化ガリウム、窒化ホウ素、窒化アルミニウム、窒化インジウム、酸化亜鉛、酸化チタン、酸化スズ及び酸化インジウムからなる群から選択された1種以上の材料又はその混合材料からなることを特徴とする請求項1乃至5のいずれか1項に記載の電子素子。

【請求項7】 前記第1の半導体領域における母体となる結晶中のドーパント濃度は、原子比で10 ppm以下であることを特徴とする請求項1乃至6のいずれか1項に記載の電子素子。

【請求項8】 前記第1の半導体領域における母体となる結晶中のドーパント濃度は、原子比で0.1 ppm以下であることを特徴とする請求項7に記載の電子素子。

【請求項9】 前記第2の半導体領域のドーパント濃度は、 10^{15} cm^{-3} 濃度以上であることを特徴とする請求項1乃至8のいずれか1項に記載の電子素子。

【請求項10】 前記第1の半導体領域及び前記第2の半導体領域が、ダイヤモンドからなることを特徴とする請求項1乃至9のいずれか1項に記載の電子素子。

【請求項11】 前記第1の半導体領域及び前記第2の半導体領域が、ホウ素ドープしたp型ダイヤモンドからなることを特徴とする請求項10に記載の電子素子。

【請求項12】 前記第1の半導体領域及び前記第2の半導体領域が、硫黄、リン、窒素、酸素及びリチウムからなる群から選択される1種以上の元素をドープしたn型ダイヤモンドからなることを特徴とする請求項10に記載の電子素子。

【請求項13】 前記第1の半導体領域に接続され前記

第1の半導体領域に電流を入出力する第1の金属電極と、前記第2の半導体領域に接続され前記第2の半導体領域に電流を入出力する第2の金属電極と、を有することを特徴とする請求項1乃至12のいずれか1項に記載の電子素子。

【請求項14】 前記第1の半導体領域における前記第2の半導体領域が接合されている側の反対側に接合された第3の半導体領域を有することを特徴とする請求項1乃至13のいずれか1項に記載の電子素子。

【請求項15】 前記第3の半導体領域は、前記第1の半導体領域と同じ伝導型で前記第1の半導体領域よりも抵抗率が低いことを特徴とする請求項14に記載の電子素子。

【請求項16】 前記第3の半導体領域のドーパント濃度は、 10^{15} cm^{-3} 濃度以上であることを特徴とする請求項14又は15に記載の電子素子。

【請求項17】 前記第1の半導体領域、前記第2の半導体領域及び前記第3の半導体領域が、ダイヤモンドからなることを特徴とする請求項14乃至16のいずれか1項に記載の電子素子。

【請求項18】 前記第1の半導体領域、前記第2の半導体領域及び前記第3の半導体領域が、ホウ素ドープしたp型ダイヤモンドからなることを特徴とする請求項17に記載の電子素子。

【請求項19】 前記第1の半導体領域、前記第2の半導体領域及び前記第3の半導体領域が、硫黄、リン、窒素、酸素及びリチウムからなる群から選択される1種以上の元素をドープしたn型ダイヤモンドからなることを特徴とする請求項17に記載の電子素子。

【請求項20】 前記第2の半導体領域に接続され前記第2の半導体領域に電流を流す第2の金属電極と、前記第3の半導体領域に接続され前記第3の半導体領域に電流を流す第3の金属電極と、を有することを特徴とする請求項14乃至19のいずれか1項に記載の電子素子。

【請求項21】 前記第1の半導体領域上に設けられた絶縁膜と、前記絶縁膜上に設けられた電極と、を有することを特徴とする請求項14乃至20のいずれか1項に記載の電子素子。

【請求項22】 電流チャネルとなる第1の半導体領域と、この第1の半導体領域に接合し第1の半導体領域と同じ伝導型で前記第1の半導体領域よりも抵抗率が低い第2の半導体領域と、を有し、前記第1の半導体領域は、その動作温度での平衡状態におけるキャリア濃度が 10^{15} cm^{-3} 以下であることを特徴とする電子素子を有することを特徴とするダイオード。

【請求項23】 電流チャネルとなる第1の半導体領域と、この第1の半導体領域に接合し第1の半導体領域と同じ伝導型で前記第1の半導体領域よりも抵抗率が低い第2の半導体領域と、を有し、前記第1の半導体領域は、その動作温度での平衡状態におけるキャリア濃度が

10^{15} cm^{-3} 以下である電子素子を有することを特徴とするトランジスタ。

【請求項24】 電流チャネルとなる第1の半導体領域と、この第1の半導体領域に接合し第1の半導体領域と同じ伝導型で前記第1の半導体領域よりも抵抗率が低い第2の半導体領域と、を有し、前記第1の半導体領域は、その動作温度での平衡状態におけるキャリア濃度が 10^{15} cm^{-3} 以下である電子素子を有することを特徴とするサイリスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、短波長発光用デバイス、高温用デバイス、大電力用デバイス及び高周波電子デバイス等に使用されるワイドバンドギャップ半導体の電子素子並びにこの電子素子を使用したダイオード、トランジスタ及びサイリスタに関し、特に、オーミック電流が少なく、キャリア移動障壁が小さく、空間電荷制限電流を流すために必要な電界が小さく低電界でより多くのキャリアを移動させることができる高効率な電子素子に関する。

【0002】

【従来の技術】ダイヤモンドは、その熱伝導率($20 \text{ W/cm} \cdot \text{K}$)、バンドギャップ(5.47 eV)、飽和電子移動度($2000 \text{ cm}^2/\text{V} \cdot \text{s}$)及びホール移動度($2100 \text{ cm}^2/\text{V} \cdot \text{s}$)といったデバイス特性並びに耐熱性、耐放射線性が優れているため、高温及び放射線下で動作する電子デバイス、ハイパワーデバイス及び高周波デバイス等への応用が期待されている。

【0003】ダイヤモンド薄膜を使用する電界効果トランジスタの1例として、例えば、特開平1-158774号公報に、ゲート電極と動作層、即ちチャネル層との間に絶縁層を挿入したMISFET (Metal Insulator Semiconductor Field Effect Transistor: 絶縁ゲート型電界効果トランジスタ) が提案されている。特開平1-158774号公報におけるMISFETは、ノーマリーオン型であり、ゲート電位をソース電位に対して正にとることによって、ドレイン電流が抑制される構成となっている。相互コンダクタンスを大きくし、僅かなゲート電位の入力によりドレイン電流を大きく変化させるためには、ゲート電位の影響をチャネル中の深い領域まで及ぼさせ、キャリアの空乏領域を大きく広げる必要がある。そのためには、ドナ又はアクセプタ濃度をある程度低く抑えたと共に、チャネル層の厚さがゲート電位の影響が及ぶ厚さ以下になるように薄くしなければならない。しかしながら、ドレイン電流を増大させるためには、ドナ又はアクセプタ不純物の濃度を高くし、キャリア濃度を増加させなければならない、相互コンダクタンスの向上とドレイン電流の増加はキャリア濃度の設定において互いに相反するという問題点がある。

【0004】前述の理由により、通常のMISFETに

おいて使用されるチャネル層のドーパント濃度は、原子比で数十ppmから数百ppmの範囲とすることが一般的である。例えば、特開平1-158774号公報の実施例では、p型ダイヤモンド薄膜層の合成条件に基づき、ホウ素(B)と炭素(C)の原子比は、 $B/C=200 \text{ ppm}$ と計算できる。

【0005】また、特開平3-263872号公報には、金属/絶縁性ダイヤモンド/半導体ダイヤモンド構造をゲート部に持つ電界効果トランジスタが提案されている。図9はこのMISFETを示す断面図である。Si基板41上にダイヤモンド絶縁体下地層42が形成され、ダイヤモンド絶縁体下地層42上にp型ダイヤモンド半導体層43とその両側のn型ダイヤモンド半導体層44a及び44bが同一平面上に形成されている。また、n型ダイヤモンド半導体層44a及び44bにおけるp型ダイヤモンド半導体層43に接続されていない側の端部には、これらの端部を覆うように夫々ソース電極46S及びドレイン電極46Dが形成されている。p型ダイヤモンド半導体層43上にはダイヤモンド絶縁体層45が設けられ、ダイヤモンド絶縁体層45上にはゲート電極46Gが設けられている。ダイヤモンド絶縁体層45は、チャネル層であるp型ダイヤモンド半導体層43とゲート電極46Gとの間を絶縁する。

【0006】このMISFETにおいても、相互コンダクタンスを大きくし、僅かなゲート電位の入力によりドレイン電流を大きく変化させるためには、アクセプタ濃度を低く抑えたと共に、p型ダイヤモンド半導体層43の厚さをゲート電位の影響が及ぶ厚さ以下になるように薄くしなければならない。しかしながら、ドレイン電流を増大させるためには、アクセプタ濃度を高くし、キャリア濃度を増加させなければならない、相互コンダクタンスの向上とドレイン電流の増加はアクセプタ濃度の設定において互いに相反するという問題点がある。

【0007】ダイヤモンドが本来持つ高い電子及び正孔の移動度は、不純物及び結晶欠陥を極力低減させることにより実現するものである。しかしながら、前述のMISFETのように、チャネル層のキャリア源を確保するためにドナ又はアクセプタをある程度の濃度でドーピングする必要がある構造では、不純物濃度に依存してキャリア移動度が低くなるため、高周波応答性等が悪化することは免れない。

【0008】これに対し、チャネル層の不純物濃度を極力低くして高周波用トランジスタへの応用を可能にした構造として、チャネル層として高抵抗率ダイヤモンド層を使用する電界効果トランジスタが特開平6-232388号公報に開示されている。図10はこの電界効果トランジスタの構成を示す模式的断面図である。図10に示す電界効果トランジスタにおいては、第1の半導体ダイヤモンド層51、高抵抗率ダイヤモンド層52及び第1の半導体ダイヤモンド層51と同一伝導型の第2の半

導体ダイヤモンド層53がこの順に一例に配置され、高抵抗率ダイヤモンド層52は第1の半導体ダイヤモンド層51及び第2の半導体ダイヤモンド層53に接続されている。チャンネル層57は第1の半導体ダイヤモンド層51、高抵抗率ダイヤモンド層52及び第2の半導体ダイヤモンド層53により構成されている。また、第1の半導体ダイヤモンド層51、高抵抗率ダイヤモンド層52及び第2の半導体ダイヤモンド層53上には、夫々ソース電極54、ゲート電極55及びドレイン電極56が設けられている。高抵抗率ダイヤモンド層52の抵抗率は $10^2 \Omega \cdot \text{cm}$ 以上であり、ゲート電極55の電位によりキャリア濃度が変化する。

【0009】このトランジスタの場合、図10に示すように、ソース電極54からドレイン電極56に到達するキャリアは半導体ダイヤモンド層51、高抵抗率ダイヤモンド層52及び半導体ダイヤモンド層53をこの順に流れる。そして、ゲート電極55に印加する電圧を変化させることにより、高抵抗率ダイヤモンド層52のポテンシャルを変化させ、ソース電極54が接触する半導体ダイヤモンド層51から高抵抗率ダイヤモンド層52へのキャリアの注入量を制御する。従って、図9に示したMISFETのように、チャンネル層57に空乏層をあげてドレイン電流を制御するものではないので、ドーパント濃度を低くしてチャンネル層57を薄くする必要はない。

【0010】また、図10に示すトランジスタの特徴は、高抵抗率ダイヤモンド層52を所謂空間電荷制限電流が流れ得ることである。文献(大石等、「半導体物性1」、朝倉書店、第158頁～第162頁)に記載されているように、理想的な無欠陥の絶縁性材料中においては、印加される電界に対する電流の挙動は、ある閾値電界以下では電界に比例するオーミック電流となる。閾値電界以上になると、外部からのキャリア注入により、熱励起キャリア濃度を越えたキャリアが流れ、電界の2乗に比例する空間電荷制限電流となる。

【0011】

【発明が解決しようとする課題】しかしながら、実際に図10に示すような構造の電界効果トランジスタを作製すると、しばしばゲート電極に印加する電圧を100V以上という極めて大きな値にしないと高抵抗率ダイヤモンド層52へのキャリアの注入が起こらないという問題点がある。

【0012】この原因を詳しく調べた結果、半導体ダイヤモンド層51と高抵抗率ダイヤモンド層52との間のポテンシャル段差が、結晶成長条件によっては極めて大きくなるためであることが判明した。即ち、ダイヤモンドが持つバンドギャップが5.47 eVと大きいので、理想的に全く不純物及び欠陥がないダイヤモンドでも、その約半分の2.5 eVのポテンシャル段差が発生する。しかも実際には、ダイヤモンド層中に不純物及び欠

陥が少ないながらもある程度含まれることが避けられない。例えば、窒素はダイヤモンドに最もよく混入する不純物であるが、これは1.7 eVという深いドナ準位を形成することが知られている。窒素混入ダイヤモンドはn型半導体であるが、ドナ準位が深いため高抵抗率となり、前述の「高抵抗率ダイヤモンド」の要件を満たす。

【0013】高抵抗率ダイヤモンド層52の形成においては、微量な窒素が混入する可能性が高く、この場合、1.7 eVのドナ準位が形成される。このドナ準位は室温では活性化されないため、この高抵抗率ダイヤモンド層52は $10^2 \Omega \cdot \text{cm}$ 以下の低抵抗率になることはない。

【0014】文献(大石等、「半導体物性1」、朝倉書店、第108頁～第112頁)にあるように、半導体の理論に基づけば、 ϵ_0 をドナ準位、 ϵ_c を伝導帯底のエネルギー、 k_B をボルツマン定数、 T を絶対温度、 N_D をドナ密度、 N_C を伝導帯の電子に対する実効状態密度とすると、n型半導体の場合、フェルミ準位 ϵ_F は次式1で求められる。

【0015】

【数1】

$$\epsilon_F = \epsilon_0 + k_B T \ln \left[-\frac{1}{4} + \frac{1}{4} \left\{ 1 + \frac{8N_D}{N_C} \exp \left(\frac{\epsilon_c - \epsilon_0}{k_B T} \right) \right\}^{1/2} \right]$$

【0016】式1に示すように、フェルミ準位はドナ準位及び温度の影響を受けて変化する。ダイヤモンドのようにバンドギャップが広い半導体においては、室温では $(\epsilon_c - \epsilon_0) / k_B T \gg 1$ であるから、前記式1は下式2のように近似できる。式2より、フェルミ準位は伝導帯底とドナ準位の間に存在する。

【0017】

【数2】

$$\epsilon_F = \frac{\epsilon_0 + \epsilon_c}{2} + \frac{k_B T}{2} \ln \left(\frac{N_D}{2N_C} \right)$$

【0018】前記フェルミ準位についての議論はn型半導体について行ったが、p型半導体の場合にも、ドナをアクセプタに、伝導帯を価電子帯に、電子を正孔に夫々置き換えることにより同様に議論できる。即ち、p型半導体のフェルミ準位は価電子帯頂上とアクセプタ準位との間に存在する。

【0019】窒素が混入したn型高抵抗率ダイヤモンドでは、例えばドナ濃度が0.1原子ppm以下と微量であっても、フェルミ準位は伝導帯底の下0.9 eV付近に存在する。一方、半導体ダイヤモンド層にホウ素をドーピングしてp型半導体ダイヤモンドとする場合、ホウ素がアクセプタとなり、このアクセプタ準位は価電子帯頂上の上0.37 eVに存在する。このとき、フェルミ準位は価電子帯頂上の上0.2 eV付近に存在することになる。ダイヤモンドのバンドギャップ、即ち伝導帯底と価電子帯頂上とのエネルギー差は、前述の通り5.47 eV

Vであるから、両ダイヤモンドのフェルミ準位の差は、約 $5.47-0.9-0.2=4.37\text{ eV}$ と計算できる。このように、窒素含有高抵抗率ダイヤモンドをホウ素含有半導体ダイヤモンドに接合すると、フェルミ準位の差がエネルギーポテンシャルの不連続段差となり、その段差の高さは、 4.37 eV ということになる。

【0020】ところで、半導体ダイヤモンドから高抵抗率ダイヤモンドにキャリアを注入させるには、ポテンシャル段差をゲート電極により引き下げる必要がある。ポテンシャル段差が大きければそれだけゲート電位を大きくしないとキャリアが注入されず、電流が流れない。単純に考えれば、ソース電位に対しゲート電位を -4.37 V にすればキャリアの注入が起こることになるが、実際には、ソース電位とゲート電位との電位差は、ゲート絶縁膜及び高抵抗率ダイヤモンドの双方に印加されるので、高抵抗率ダイヤモンドに印加される電位差はその分減少することになる。したがって、実際に高抵抗率ダイヤモンドと半導体ダイヤモンドとの界面のポテンシャル段差を引き下げるために必要なゲート電位は、ゲート絶縁膜及び高抵抗率ダイヤモンド層の厚さにもよるが、数十乃至数百Vという極めて大きなゲート電位が必要となる。そのため、図10に示すような電界効果トランジスタは実用的ではない。

【0021】より一般的には、高濃度ドーパダイヤモンドと高抵抗率ダイヤモンドを接合する構造の電子素子では、それらが異なる伝導型である場合又は同じ伝導型であってもアクセプタ若しくはドナが異なった準位を持つ場合には、接合界面にエネルギーポテンシャルの段差が生じる。このような場合、キャリアを高濃度ドーパダイヤモンド側から高抵抗率ダイヤモンド側へ注入するためには、その間の電位差を極めて大きくしなければならないという問題点がある。

【0022】本発明はかかる問題点に鑑みてなされたものであって、耐熱性、耐放射線性及び高周波応答性が優れ、高温用デバイス、大電力用デバイス及び高周波電子デバイスに適した電子素子において、オーミック電流を抑制し、高濃度にドーパされた半導体からチャネルへのキャリア注入の障壁エネルギーを低減して空間電荷制限電流の立ち上がり電界を小さくした高効率な電子素子及びこの電子素子を使用したダイオード、高増幅率なトランジスタ及びサイリスタを提供することを目的とする。

【0023】

【課題を解決するための手段】本発明に係る電子素子は、電流チャネルとなる第1の半導体領域と、この第1の半導体領域に接合し第1の半導体領域と同じ伝導型で前記第1の半導体領域よりも抵抗率が低い第2の半導体領域と、を有し、前記第1の半導体領域は、その動作温度での平衡状態におけるキャリア濃度が 10^{15} cm^{-3} 以下であることを特徴とする。

【0024】本発明においては、第1の半導体領域のキ

ャリア濃度を 10^{15} cm^{-3} 以下とすることにより、オーミック電流が抑制され、低電界でキャリア注入による電流、即ち、空間電荷制限電流が支配的となる状態に移行することができる。これにより、電子素子の効率を向上させることができる。理想的には、オーミック電流が0であることが望ましいが、実用的な条件でそれを実現することは不可能である。キャリア濃度は温度によっても変化するが、電子素子を動作させる温度での平衡状態におけるキャリア濃度を 10^{15} cm^{-3} 以下とすれば、オーミック電流を実用上問題ない水準まで低下させることができる。キャリア濃度を 10^{13} cm^{-3} 以下とすれば、オーミック電流を測定限界付近まで低減できるため、より好ましい。

【0025】また、第2の半導体領域の伝導型を第1の半導体領域と同じにして第1の半導体領域よりも抵抗率を低くすることにより、第2の半導体領域から第1の半導体領域へキャリア（n型半導体の場合は電子、p型半導体の場合は正孔）を注入する際の障壁エネルギーを低減できる。その結果、空間電荷制限電流の立ち上がり電界を小さくすることができる。例えば、この立ち上がり電界（閾値電界）を $1\times 10^5\text{ V/cm}$ 以下とすることができる。このとき、前記第1及び第2の半導体領域に印加される電界がこの閾値電界以下では、第2の半導体領域から第1の半導体領域に流れる電流の電界に対する増加係数がほぼ1となり、電界が前記閾値電界を超えると、前記増加係数が1を超える。なお、増加係数とは、電流が電界の増加係数乗に比例するような数値である。理想的なオーム則では増加係数が厳密に1になり電流は電界に比例し、理想的な空間電荷制限電流は増加係数が厳密に2になり電流は電界の2乗に比例する。しかしながら、実際には他の様々な要因、即ち、結晶欠陥及び電極と半導体との接触抵抗等により、増加係数は整数にはならない。オーム則から前記閾値電界を超えて空間電荷制限電流へ移行する電界付近では、増加係数は1から1より大きく2より小さい値に増加し、その後多くの場合、更に2以上に増加し、最終的にほぼ2になる（文献（犬石等、「半導体物性1」、朝倉書店、第162頁））。

【0026】また、本発明においては、第1の半導体領域に電極を形成すれば、その電極と第2の半導体領域又は第3の半導体領域との間の印加電圧が、第1の半導体領域に実質的にかかる電界を主に支配することになる。更に、第3の半導体領域を有する2端子素子を作製する場合、必ずしも第1の半導体領域に電極を形成する必要はなく、その場合には、第2の半導体領域と第3の半導体領域との間に印加する電圧が第1の半導体領域に実質的にかかる電界を支配する。

【0027】図1(a)及び(b)は、第2の半導体領域から第1の半導体領域へキャリア（n型半導体の場合は電子、p型半導体の場合は正孔）を注入する際の障壁

エネルギーの大きさを示す模式図であり、図1(a)は従来の電子素子における障壁エネルギーの大きさを示し、図1(b)は本発明の電子素子における障壁エネルギーの大きさを示す。図1(a)に示すように、半導体、絶縁体又は金属が相互に接合するとき、同じエネルギー準位においては電子密度が等しくなるように電子及び正孔の移動が起こる。電子及び正孔の相互の移動により、接合界面付近に遷移領域15が形成される。また、遷移領域の両側の領域ではフェルミ準位が一致する。従って、接合界面においてフェルミ準位の差により伝導帯又は荷電子帯のエネルギー障壁が生じる。伝導帯又は荷電子帯とフェルミ準位との差が大きければ、伝導帯又は荷電子帯のエネルギー障壁が大きくなり、この差が小さければエネルギー障壁も小さくなる。本発明においては、図1(b)に示すように、伝導帯又は荷電子帯とフェルミ準位との差を小さくすることによりエネルギー障壁を小さくし、空間電荷制限電流の立ち上がり電界を小さくすることができる。

【0028】また、前記第1及び第2の半導体領域のバンドギャップは2eV以上であることが好ましく、前記第1及び第2の半導体領域は、ダイヤモンド、炭化ケイ素、窒化ガリウム、窒化ホウ素、窒化アルミニウム、窒化インジウム、酸化亜鉛、酸化チタン、酸化スズ及び酸化インジウムからなる群から選択された1種以上の材料又はその混合材料であることが好ましい。

【0029】第1及び第2の半導体領域のバンドギャップを2eV以上のワイドバンドギャップ半導体とすることにより、本発明の電子素子を、高温用デバイス及び大電力用デバイス等に好適な電子素子にすることができる。第1及び第2の半導体領域のバンドギャップが2eV未満である場合、不純物及び欠陥によるフェルミ準位の変化が少ないため本発明の効果が小さい。しかしながら、少なくとも一方にバンドギャップが大きい半導体を選ぶことにより、フェルミ準位の変化量が大きくなるのでより大きな効果が得られる。バンドギャップが大きいワイドバンドギャップである半導体の例としては、ダイヤモンド、炭化ケイ素、窒化ガリウム、窒化ホウ素、窒化アルミニウム、窒化インジウム、酸化亜鉛、酸化チタン、酸化スズ及び酸化インジウム等がある。なお、第1の半導体領域と第2の半導体領域は、必ずしも同じ材料で構成される必要はない。

【0030】更に、前記第1の半導体領域のドーパント濃度は、母体となる結晶中の原子比で10ppm以下であることが好ましく、より好ましくは0.1ppm以下である。

【0031】第1の半導体領域のキャリア濃度は、ドナとアクセプタの相互補償によっても低く抑えることができる。しかしながら、相互に補償されたドナーアクセプタ対は、キャリアは発生させないがキャリアの散乱中心となりうる。そのため、キャリアの移動度を低下させる要因となる。従って、補償された不純物及び欠陥の濃度

が低いほど、キャリアは高い移動度を実現することができ、電子素子の高周波応答性を向上させることができる。また、欠陥及び不純物によるトラップ濃度が低いほど空間電荷制限電流モードへ移行する閾値電界が低くなり、移行後の電流が大きくなる。その意味でも、欠陥及び不純物によるトラップ濃度は低い方が望ましい。ドーパント濃度が10ppm以下であれば、前記悪影響はほとんど見られない。より好ましくは、二次イオン質量分光(Secondary Ion Mass Spectroscopy)の検出限界に近い0.1ppm以下である。

【0032】なお、第1及び第2の半導体領域のドーピング不純物(ドーパント)は、必ずしも同じ元素である必要はない。例えば、第1の半導体領域がリンドーパのn型ダイヤモンド、第2の半導体領域が硫黄ドーパのn型ダイヤモンドであってもよい。また、第1の半導体領域が不純物ではない何らかの結晶欠陥がアクセプタとなっているp型ダイヤモンド、第2の半導体領域がホウ素ドーパのp型ダイヤモンドであってもよい。

【0033】更にまた、前記第2の半導体領域のドーパント濃度は、 10^{18} cm⁻³濃度以上であることが好ましい。

【0034】第2の半導体領域から第1の半導体領域へ注入されるキャリア量は、主に、第1の半導体領域と第2の半導体領域との界面に印加する電界及び第2の半導体領域のキャリア濃度に依存する。従って、印加する電界が同じであれば、第2の半導体領域のキャリア濃度が高いほど、より多くのキャリアが第1の半導体領域へ注入される。キャリア濃度を上げるには、ドーパント濃度を上げ、補償率を下げればよい。 10^{18} cm⁻³濃度とは、半導体が金属的な挙動に移行するドーパント濃度である。ドーパント濃度を 10^{18} cm⁻³濃度以上にするにより、キャリアの活性化率をほぼ100%とすることができる。また、第2の半導体領域に接する金属電極を設ける場合は、第2の半導体領域のキャリア濃度又はドーパント濃度を上げるにより、第2の半導体領域と金属電極との接触抵抗を低減できる。

【0035】更にまた、前記第1の半導体領域及び前記第2の半導体領域は、ダイヤモンドからなることができ、ホウ素ドーパしたp型ダイヤモンド又は硫黄、リン、窒素、酸素及びリチウムからなる群から選択される1種以上の元素をドーパしたn型ダイヤモンドからなることができる。

【0036】第1及び第2の半導体領域を共にダイヤモンドとすることにより、キャリア移動度、耐熱性、安定性、耐放射線性及び絶縁破壊電界等に優れた電子素子を実現できる。また、ダイヤモンドにホウ素をドーパするとp型半導体となる。現在のところ、ダイヤモンドについては、n型よりp型の方が作製が容易で低抵抗率化が容易であるが、勿論、用途によっては第1及び第2の半導体領域を、硫黄、リン、窒素、酸素及びリチウムのうち少なくとも1種をドーパしたn型ダイヤモンドとする

ことも可能である。

【0037】更にまた、本発明に係る電子素子は、前記第1の半導体領域に接続され前記第1の半導体領域に電流を流す第1の金属電極と、前記第2の半導体領域に接続され前記第2の半導体領域に電流を流す第2の金属電極と、を有することができる。

【0038】これにより、第1及び第2の半導体領域に電流を供給又は電流を取り出す場合の接触抵抗を低減でき、電子素子の安定性が増加する。

【0039】更にまた、本発明に係る電子素子は、前記第1の半導体領域における前記第2の半導体領域が接合されている側の反対側に接合された第3の半導体領域を有することができ、この第3の半導体領域は、前記第1の半導体領域と同じ伝導型で前記第1の半導体領域よりも抵抗率が低いことが好ましい。

【0040】これにより、抵抗率が高い第1の半導体領域の両側に抵抗率が低い第2及び第3の半導体領域を接合させたサンドイッチ構造とすることができる。これにより、第2の半導体領域から供給されたキャリアが第1の半導体領域を通り、第3の半導体領域へ到達する電子素子を作製することができる。このとき、第3の半導体領域を第2の半導体領域と同じ伝導型とし、第1の半導体領域より低抵抗率の半導体領域とすることにより、第1の半導体領域から第3の半導体領域へ流れようとするキャリアを高効率に捕集することが可能になる。一方、第3の半導体領域が第1の半導体領域と異なる型の半導体である場合及び同型であっても抵抗率が高い場合には、第1の半導体領域と第3の半導体領域の界面にエネルギー障壁ができるため、それが界面抵抗となり効率よくキャリアを流すことができない。

【0041】前述の条件を満たす限りにおいて、前記第1の半導体領域、前記第2の半導体領域及び前記第3の半導体領域は、ダイヤモンドからなることができ、特に、ホウ素ドーパしたp型ダイヤモンド又は硫黄、リン、窒素、酸素及びリチウムからなる群から選択される1種以上の元素をドーパしたn型ダイヤモンドからなることができる。

【0042】更にまた、本発明に係る電子素子は、前記第2の半導体領域に接続され前記第2の半導体領域に電流を流す第2の金属電極と、前記第3の半導体領域に接続され前記第3の半導体領域に電流を流す第3の金属電極と、を有することができる。

【0043】これにより、第2及び第3の半導体領域に電流を供給又は電流を取り出す場合の接触抵抗の低減と安定性を兼ね備えた3端子素子を作製できる。

【0044】更にまた、前記第1の半導体領域上に設けられた絶縁膜と、前記絶縁膜上に設けられた電極と、を有することができる。

【0045】これにより、キャパシタ構造が形成することができ、電界効果トランジスタ等の電子素子を形成す

ることが可能となる。

【0046】本発明に係るダイオードは、電流チャネルとなる第1の半導体領域と、この第1の半導体領域に接合し第1の半導体領域と同じ伝導型で前記第1の半導体領域よりも抵抗率が低い第2の半導体領域と、を有し、前記第1の半導体領域は、その動作温度での平衡状態におけるキャリア濃度が 10^{15} cm^{-3} 以下である電子素子を有することを特徴とする。

【0047】本発明に係るトランジスタは、電流チャネルとなる第1の半導体領域と、この第1の半導体領域に接合し第1の半導体領域と同じ伝導型で前記第1の半導体領域よりも抵抗率が低い第2の半導体領域と、を有し、前記第1の半導体領域は、その動作温度での平衡状態におけるキャリア濃度が 10^{15} cm^{-3} 以下である電子素子を有することを特徴とする。

【0048】本発明に係るサイリスタは、電流チャネルとなる第1の半導体領域と、この第1の半導体領域に接合し第1の半導体領域と同じ伝導型で前記第1の半導体領域よりも抵抗率が低い第2の半導体領域と、を有し、前記第1の半導体領域は、その動作温度での平衡状態におけるキャリア濃度が 10^{15} cm^{-3} 以下である電子素子を有することを特徴とする。

【0049】前記電子素子は、整流ダイオード及び発光ダイオード等の各種ダイオード、光センサ、熱センサ、イオンセンサ及びガスセンサ等の各種センサ並びにスイッチング素子、トランジスタ及びサイリスタ等の各種電流制御素子等様々な電子部品に応用可能である。

【0050】

【発明の実施の形態】以下、本発明の実施例について添付の図面を参照して具体的に説明する。先ず、本発明の第1実施例について説明する。図2(a)乃至(d)、図3(a)乃至(c)、図4(a)乃至(d)、図5(a)乃至(c)及び図6は本実施例に係る電子素子の製造方法を工程順に示す断面図である。本実施例はトランジスタを作製する例を示す。

【0051】先ず、図2(a)に示すように、絶縁体ダイヤモンド結晶基板1上に、マイクロ波プラズマCVD法(Chemical Vapor Deposition法: 化学的気相成長法)により第2及び第3の半導体領域となるBドーパp型半導体ダイヤモンド薄膜2を $0.1 \mu\text{m}$ の厚さに成膜する。成膜条件は以下の通りである。原料ガスとして水素希釈のメタンガスを使用する。その組成は CH_4 が0.5体積%、 H_2 が99.5体積%である。ドーピングガスは B_2H_6 ガスを使用し、ガス中のB/C比を200原子ppmとする。ガスの総流量を100ミリリットル/分(標準状態)、成膜時のガス圧力を6.67kPa、基板温度を800℃とする。この条件により堆積される半導体ダイヤモンドのキャリア濃度は 10^{20} cm^{-3} 以上であり、抵抗率が十分低いp型半導体ダイヤモンド薄膜2が得られる。

【0052】次に、図2(b)に示すように、半導体ダイヤモンド薄膜2上に厚さ0.3 μ mのシリコン酸化膜3を堆積させる。

【0053】次に、図2(c)に示すように、シリコン酸化膜3上にレジスト4を形成し、電子ビームリソグラフィによりレジスト4をパターンニングする。

【0054】次に、図2(d)に示すように、レジスト4をマスクとしてシリコン酸化膜3をエッチングし、シリコン酸化膜3に開口部3aを形成する。エッチングは、エッチングガスを CF_4 とArの混合ガスとし、プラズマ源として誘電結合プラズマ(ICP: Inductively Coupled Plasma)を使用して反応性イオンエッチングにより行う。

【0055】次に、図3(a)に示すように、レジスト4を除去し、エッチングされたシリコン酸化膜3をマスクとしてp型半導体ダイヤモンド薄膜2のエッチングを行い、半導体ダイヤモンド薄膜2をパターンニングする。このとき、半導体ダイヤモンド薄膜2は半導体ダイヤモンド薄膜2a及び2bの2つの薄膜に分離される(第2の半導体領域及び第3の半導体領域)。このエッチングでは酸化シリコン膜3のエッチングと同様、ICPをプラズマ源に使用する。また、エッチングガスには酸素を使用し、酸素の流量を50ミリリットル/分(標準状態)、圧力を2.67Pa、基板バイアス電圧を2000Vとする。このとき、マスクとするシリコン酸化膜3は酸素プラズマに対してはほとんどエッチングされないため、そのまま残存する。

【0056】次に、図3(b)に示すように、絶縁体ダイヤモンド結晶基板1の露出部及びシリコン酸化膜3上に、第1の半導体領域であるBドーパ型半導体ダイヤモンド薄膜5を0.1 μ mの厚さに成膜する。このとき、原料ガスとして水素希釈のメタンガスを使用する。この原料ガスの組成は CH_4 が0.5体積%、 H_2 が99.5体積%である。ドーピングガスは B_2H_6 ガスを使用し、ガス中のB/C比を0.1原子ppmとする。ガスの総流量を100ミリリットル/分(標準状態)、成膜時のガス圧力を6.67kPa、基板温度を800℃とする。この条件により堆積されるBドーパ型半導体ダイヤモンド薄膜5のキャリア濃度は 10^{15}cm^{-3} 以下であり、半導体ダイヤモンド薄膜5は半導体ダイヤモンド薄膜2a及び2bと比較して抵抗率が高い。

【0057】半導体ダイヤモンド薄膜5を成膜後、図3(c)に示すように、HF水溶液によりシリコン酸化膜3をエッチングするリフトオフプロセスにより、シリコン酸化膜3と共にシリコン酸化膜3上に形成された半導体ダイヤモンド薄膜5を除去する。このとき、キャリア濃度が 10^{15}cm^{-3} 以下の高抵抗率の半導体ダイヤモンド薄膜5は、低抵抗率の半導体ダイヤモンド薄膜2がエッチングされた部分にのみ形成される。以上の方法により、絶縁体ダイヤモンド結晶基板1上に、低抵抗率の半

導体ダイヤモンド薄膜2a及び2b並びに半導体ダイヤモンド薄膜2a及び2bに挟まれ、これらに接続するように配置された高抵抗率の半導体ダイヤモンド薄膜5形成された電子素子6を得ることができる。

【0058】次に、図4(a)に示すように、電子素子6上全面に絶縁膜としてシリコン酸化膜7を0.05 μ mの厚さに成膜する。

【0059】次に、図4(b)に示すように、シリコン酸化膜7上にレジスト8を形成し、高抵抗率の半導体ダイヤモンド薄膜5の上方に開口部8aが形成されるようにレジスト8をパターンニングする。

【0060】次に、図4(c)に示すように、シリコン酸化膜7の露出部及びレジスト8上に金属Al膜9をスパッタリング法により0.2 μ mの厚さに堆積させる。

【0061】次に、図4(d)に示すように、レジスト8をアセトンにて溶解する。このとき、レジスト8上に堆積されたAl膜9のみが除去され、高抵抗率の半導体ダイヤモンド薄膜5の上方にはAl膜9が残存する。この残存したAl膜9がゲート電極9aとなる。

【0062】次に、図5(a)に示すように、シリコン酸化膜7の露出部及びゲート電極9a上にレジスト10を形成し、低抵抗率の半導体ダイヤモンド薄膜2a及び2b上に2つの開口部10a及び10bが夫々形成されるようにレジスト10をパターンニングする。

【0063】次に、図5(b)に示すように、レジスト10をマスクとして、濃度0.5質量%のHF水溶液によりシリコン酸化膜7をエッチングする。このとき、レジスト10はフッ酸(HF水溶液)によってはエッチングされないため、そのまま残存する。

【0064】次に、図5(c)に示すように、半導体ダイヤモンド薄膜2a及び2bの露出部及びレジスト10上に金属Pt膜11をスパッタリング法により0.2 μ mの厚さに堆積させる。

【0065】次に、図6に示すように、レジスト10をアセトンにて溶解する。このとき、レジスト10上に堆積したPt膜11のみが除去され、低抵抗率の半導体ダイヤモンド薄膜2a及び2bの上方にはPt膜11が残存する。これらの残存したPt膜11が、夫々ソース電極11a及びドレイン電極11bになる。このようにして、電子素子6上に絶縁膜7、ゲート電極9a、ソース電極11a及びドレイン電極11bが設けられた電界効果トランジスタ12を作製することができる。

【0066】次に、本実施例に係る電子素子である電界効果トランジスタ12の構成について説明する。図6に示すように、電界効果トランジスタ12においては、絶縁体ダイヤモンド結晶基板1上に、キャリア濃度が 10^{20}cm^{-3} 以上であり低抵抗率なBドーパ型半導体ダイヤモンド薄膜2a及び2b並びにキャリア濃度が 10^{15}cm^{-3} 以下であり高抵抗率なBドーパ型半導体ダイヤモンド薄膜5が設けられている。半導体ダイヤモンド薄

膜2a及び2bは夫々半導体ダイヤモンド薄膜5に接続し半導体ダイヤモンド薄膜5を挟むように配置されている。また、半導体ダイヤモンド薄膜2a及び2b上には、半導体ダイヤモンド薄膜2a及び2bに夫々接続するようにPtからなるソース電極11a及びドレイン電極11bが設けられている。更に、半導体ダイヤモンド薄膜2a及び2bの上面におけるソース電極11a及びドレイン電極11bが設けられていない領域並びに半導体ダイヤモンド薄膜5の上面には絶縁膜であるシリコン酸化膜7が設けられている。半導体ダイヤモンド薄膜5上におけるシリコン酸化膜7上にはAlからなるゲート電極9aが設けられている。

【0067】本実施例においては、低抵抗率な半導体ダイヤモンド薄膜2をエッチングする際にマスクとして使用するシリコン酸化膜3をそのままリフトオフにより高抵抗率な半導体ダイヤモンド薄膜5をパターンニングするときのマスクとして使用することができるため、半導体ダイヤモンド薄膜2及び半導体ダイヤモンド薄膜5が自己整合的にアライメントされる。

【0068】また、電界効果トランジスタ12は、ダイヤモンドにより構成されているため、耐熱性、安定性、耐放射線性及び絶縁破壊電界、即ち耐圧が優れている。更に、半導体ダイヤモンド薄膜5のキャリア濃度が 10^{15} cm^{-3} 以下であるため、オーミック電流を低減することができ、空間電荷制限電流の立ち上がり電界を小さくすることができる。本実施例に係る電界効果トランジスタ12においては、オーミック電流と空間電荷制限電流が等しくなる閾電界は $1 \times 10^5 \text{ V/cm}$ 以下である。なお、このとき、ゲート電極9aとソース電極11a又はドレイン電極11bとの間の印加電圧が、高抵抗率な半導体ダイヤモンド薄膜5に実質的に印加される電界を主に支配する。また、ゲート電極9aを使用しない場合は、ソース電極11a又はドレイン電極11bとの間の印加電圧が、半導体ダイヤモンド薄膜5に実質的に印加される電界を支配する。

【0069】更に、半導体ダイヤモンド薄膜2a及び2bが半導体ダイヤモンド薄膜5と同じp型半導体であり、半導体ダイヤモンド薄膜5よりも抵抗率が低いことから、半導体ダイヤモンド薄膜2aから半導体ダイヤモンド薄膜5へ流れようとするキャリア（正孔）の注入障壁エネルギーを低減することができる。更にまた、半導体ダイヤモンド薄膜2のキャリア濃度が 10^{20} cm^{-3} 以上であるため、電界効果トランジスタ12の効率を向上させることができる。

【0070】次に、本発明の第2実施例について説明する。図7(a)乃至(d)及び図8(a)乃至(c)は本実施例に係る電子素子の製造方法を工程順に示す断面図である。

【0071】先ず、図7(a)に示すように、絶縁体ダイヤモンド結晶基板21上に、マイクロ波プラズマCVD法（Chemical Vapor Deposition法：化学的気相成長法）により第1の半導体領域であるBドーパ型半導体ダイヤモンド薄膜22を $0.1 \mu\text{m}$ の厚さに成膜する。

成膜条件は以下の通りである。原料ガスとして水素希釈のメタンガスを使用する。その組成は CH_4 が0.5体積%、 H_2 が99.5体積%である。ドーピングガスは B_2H_6 ガスを使用し、ガス中のB/C比を0.1原子ppmとする。また、ガスの総流量を100ミリリットル/分（標準状態）、成膜時のガス圧力を6.67kPa、基板温度を800℃とする。この条件により堆積される半導体ダイヤモンド薄膜22のキャリア濃度は 10^{15} cm^{-3} 以下である。

【0072】次に、図7(b)に示すように、半導体ダイヤモンド薄膜22上に厚さ $0.3 \mu\text{m}$ のシリコン酸化膜23を堆積する。

【0073】次に、図7(c)に示すように、シリコン酸化膜23上にレジスト24を形成し、電子ビームリソグラフィによりレジスト24をパターンニングする。

【0074】次に、図7(d)に示すように、レジスト24をマスクとしてシリコン酸化膜23をエッチングしてパターンニングし、絶縁体ダイヤモンド結晶基板21、半導体ダイヤモンド薄膜22、シリコン酸化膜23及びレジスト24からなる積層体25を形成する。シリコン酸化膜23のエッチングは、エッチングガスを CF_4 とArの混合ガスとし、プラズマ源として誘電結合プラズマ（ICP：Inductively Coupled Plasma）を使用して反応性イオンエッチングにより行う。

【0075】次に、図8(a)に示すように、イオン注入法によりBイオン26を積層体25上面に照射する。イオン注入条件は加速エネルギーを60keV、イオンドーズを $3.5 \times 10^{16} \text{ cm}^{-2}$ とする。このとき、シリコン酸化物23はBイオン26に対してマスクとして働くため、半導体ダイヤモンド薄膜22におけるシリコン酸化膜23に覆われている領域27にはBイオン26は到達せず、半導体ダイヤモンド薄膜22におけるシリコン酸化膜23に覆われていない領域28a及び28bにのみBイオン26が注入される。これにより、半導体ダイヤモンド薄膜22における領域28a及び28bは、Bイオン26が注入されたために抵抗率が低下し、夫々低抵抗率な半導体ダイヤモンド薄膜29a及び29b（第2の半導体領域及び第3の半導体領域）になる。

【0076】次に、図8(b)に示すように、Bイオン26が注入された積層体25を真空中にて温度950℃、30分間の熱処理を施し、注入されたBを活性化させる。Bが注入された半導体ダイヤモンド薄膜29a及び29bの表層部分（図示せず）は、この熱処理（アニール工程）によりグラファイト化しているので、200℃に加熱したクロム酸硫酸飽和溶液にて洗浄することにより、この表層部分を除去する。以上の方法により、絶縁体ダイヤモンド結晶基板21上に、高抵抗率な半導体

ダイヤモンド薄膜22及び半導体ダイヤモンド薄膜22に接続しこれを挟むような2つの領域に配置された低抵抗率な半導体ダイヤモンド薄膜29a及び29bが形成された電子素子30を得ることができる。

【0077】なお、Bが注入された低抵抗率な半導体ダイヤモンド薄膜29a及び29bのB濃度の深さ方向分布を、SIMS (Secondary Ion Mass Spectrometer: 二次イオン質量分析計) により実際に測定したところ、約0.1 μm の深さにわたってB濃度が 10^{19}cm^{-3} 以上の領域が観測された。また、ホール測定においても、キャリア濃度が 10^{17}cm^{-3} 以上であり低抵抗率は十分低かった。

【0078】電子素子30の構成は、前記第1の実施例における電子素子6の構成と同一である。電子素子6における絶縁体ダイヤモンド結晶基板1、低抵抗率な半導体ダイヤモンド薄膜2a及び2b並びに高抵抗率な半導体ダイヤモンド薄膜5は、電子素子30における絶縁体ダイヤモンド結晶基板21、低抵抗率な半導体ダイヤモンド薄膜29a及び29b並びに高抵抗率な半導体ダイヤモンド薄膜22に夫々相当する。

【0079】次に、電子素子30を使用し、前記第1の実施例において図4(a)乃至(d)、図5(a)乃至(c)及び図6に示した方法により、図8(c)に示すような電界効果トランジスタ31を形成する。

【0080】本実施例における電界効果トランジスタ31の構成は、前記第1の実施例における電界効果トランジスタ12の構成と同じである。

【0081】本実施例においては、低抵抗率半導体領域の形成にイオン注入法を使用することにより、前記第1の実施例において行ったドーピングしながら成膜する方法(以下、成膜中ドーピング法という)と比較して、ドーパント濃度の制御が容易になり、複雑な濃度分布又は何らかの用途のために最適化された濃度分布を形成することが容易になる。成膜中ドーピング法では、成膜条件によって仕込濃度と実際に膜中に取り込まれる濃度との関係が変化するが、イオン注入法では仕込み量により取り込まれるドーパント濃度が一意的に決まるという利点がある。

【0082】一方、前記第1の実施例には以下に示す利点がある。前記第2の実施例のイオン注入法では必然的に結晶欠陥を誘発するため、欠陥を回復するためのアニール工程が必要である。半導体がシリコンであれば欠陥回復は容易であるが、ダイヤモンドは欠陥回復が比較的困難である。その理由は、ダイヤモンドは原子の結合エネルギーが高いため、欠陥を回復するためには可及的に高温でアニールする必要があるが、少なくとも500℃以上でアニールする必要があるが、高温であるほどダイヤモンドはグラファイトに相変移しやすいからである。しかし、成膜中ドーピング法では、ドーピングによる欠陥の誘発はほとんどないため、アニール工程は不要となる。

【0083】

【発明の効果】以上詳述したように本発明によれば、相互に接合されたキャリア濃度の異なる2種類の半導体領域を有する電子素子において、低濃度側の半導体領域のキャリア濃度をできるだけ低くし、且つこれらの半導体領域の伝導型を同じにすることによって、オーミック電流をできるだけ抑制しつつフェルミ準位の差を小さくできる電子素子を提供することができる。このため、高濃度側から低濃度側へのキャリア注入障壁エネルギーを小さくできるため、空間電荷制限電流モードの立ち上がり電界を小さくし、且つ低電界でより高濃度にキャリアを注入することができる。これにより、いかなる基板上にも高効率な電子素子を形成することができ、例えばダイヤモンドのようなワイドバンドギャップ半導体を使用する電子素子を得ることができる。これにより、短波長発光用デバイス、高温用デバイス、大電力用デバイス及び高周波電子デバイスを得ることができる。

【図面の簡単な説明】

【図1】(a)は従来の電子素子における障壁エネルギーの大きさを示す模式図であり、(b)は本発明の電子素子における障壁エネルギーの大きさを示す模式図である。

【図2】(a)乃至(d)は、本発明の第1の実施例に係る電子素子の製造方法を工程順に示す断面図である。

【図3】(a)乃至(c)は、本実施例に係る電子素子の製造方法を示す断面図であって、図2の次の工程を示す図である。

【図4】(a)乃至(d)は、本実施例に係る電子素子の製造方法を示す断面図であって、図3の次の工程を示す図である。

【図5】(a)乃至(c)は、本実施例に係る電子素子の製造方法を示す断面図であって、図4の次の工程を示す図である。

【図6】本実施例に係る電子素子の製造方法を示す断面図であって、図5の次の工程を示す図である。

【図7】(a)乃至(d)は、本発明の第2の実施例に係る電子素子の製造方法を工程順に示す断面図である。

【図8】(a)乃至(c)は、本実施例に係る電子素子の製造方法を示す断面図であって、図7の次の工程を示す図である。

【図9】従来の電界効果トランジスタの構成を示す断面図である。

【図10】従来の電界効果トランジスタの構成を示す模式的断面図である。

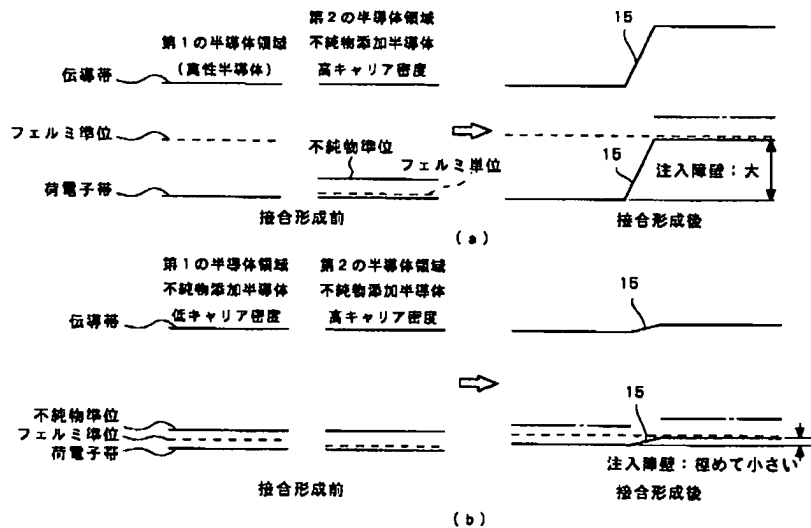
【符号の説明】

- 1: 絶縁体ダイヤモンド結晶基板
- 2a、2b: 低抵抗率な半導体ダイヤモンド薄膜
- 3: シリコン酸化膜
- 3a: シリコン酸化膜3の開口部
- 4: レジスト
- 5: 高抵抗率な半導体ダイヤモンド薄膜

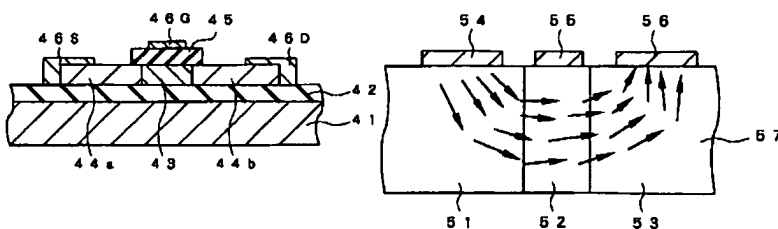
6 ; 電子素子
 7 ; シリコン酸化膜
 8 ; レジスト
 8 a ; レジスト8の開孔部
 9 ; Al膜
 9 a ; ゲート電極
 10 ; レジスト
 10 a、10 b ; レジスト10の開孔部
 11 ; Pt膜
 11 a ; ソース電極
 11 b ; ドレイン電極
 12 ; 電界効果トランジスタ
 15 ; 遷移領域
 21 ; 絶縁体ダイヤモンド結晶基板
 22 ; 高抵抗率な半導体ダイヤモンド薄膜
 23 ; シリコン酸化膜
 24 ; レジスト
 25 ; 積層体
 26 ; Bイオン
 27 ; 半導体ダイヤモンド薄膜22におけるシリコン酸化膜23に覆われた領域

28 a、28 b ; 半導体ダイヤモンド薄膜22におけるシリコン酸化膜23に覆われていない領域
 29 a、29 b ; 低抵抗率な半導体ダイヤモンド薄膜
 30 ; 電子素子
 31 ; 電界効果トランジスタ
 41 ; Si基板
 42 ; ダイヤモンド絶縁体下地層
 43 ; p型ダイヤモンド半導体層
 44 a、44 b ; n型ダイヤモンド半導体層
 45 ; ダイヤモンド絶縁体層
 46 S ; ソース電極
 46 G ; ゲート電極
 46 D ; ドレイン電極
 51 ; 半導体ダイヤモンド層
 52 ; 高抵抗ダイヤモンド層
 53 ; 半導体ダイヤモンド層
 54 ; ソース電極
 55 ; ゲート電極
 56 ; ドレイン電極
 57 ; チャンネル層

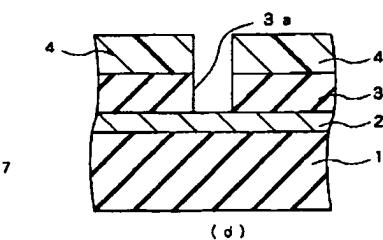
【図1】



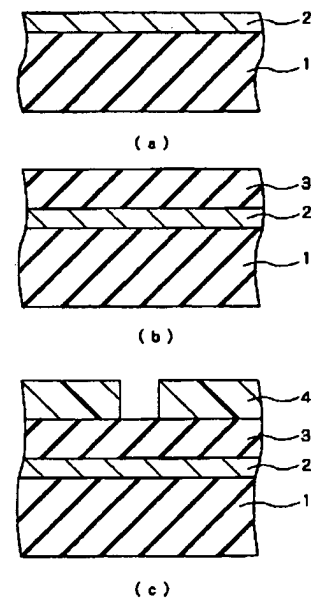
【図9】



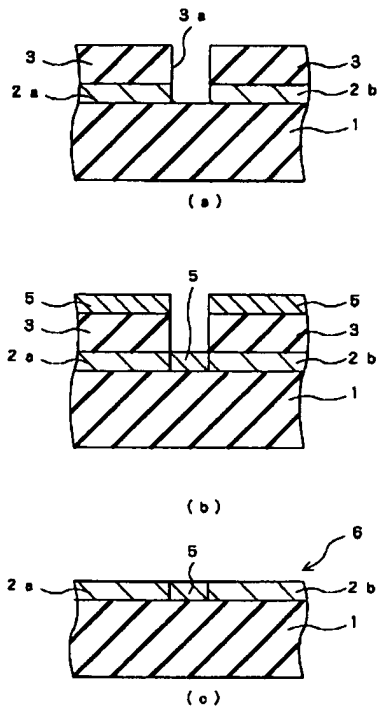
【図10】



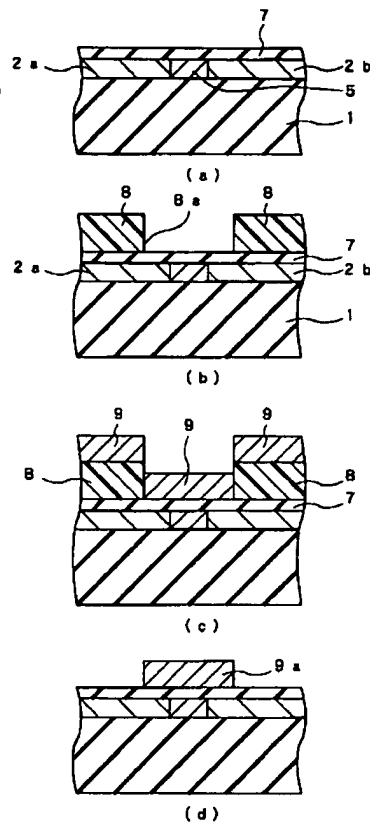
【図2】



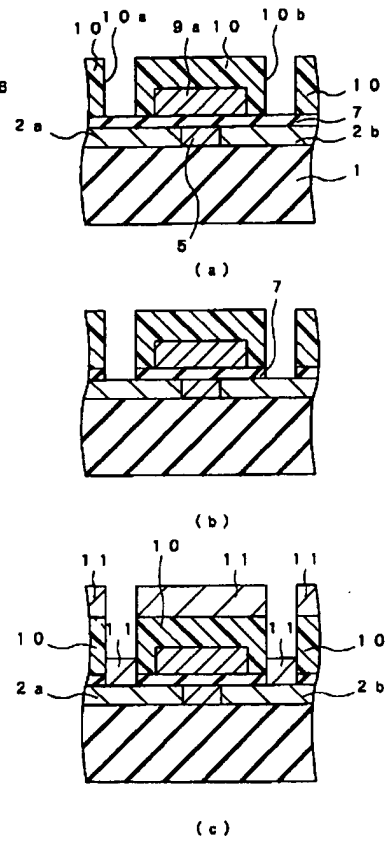
【図3】



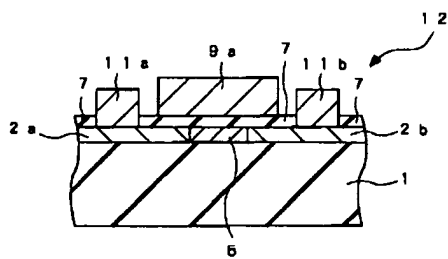
【図4】



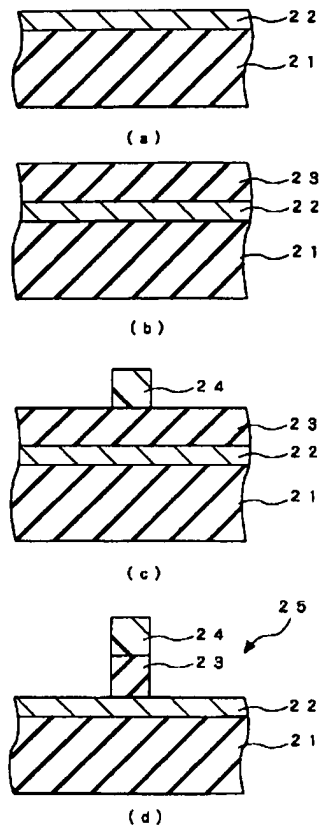
【図5】



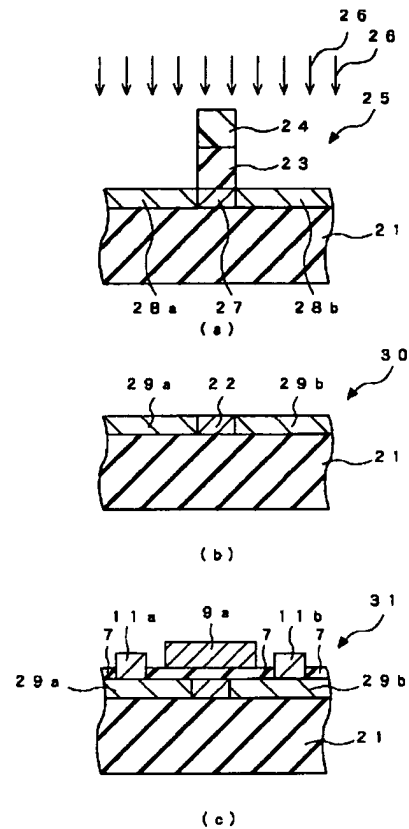
【図6】



【図7】



【図8】



フロントページの続き

(51)Int.Cl.⁷H01L 29/786
33/00

識別記号

FI

H01L 29/74
29/78

ターム(参考)

G
618B

Fターム(参考) 4M104 AA03 AA04 AA10 BB02 BB06
CC01 CC05 DD08 DD09 DD16
DD37 GG09 GG18 GG20
5F005 CA02
5F041 AA11 CA33 CA34 CA40 CA41
CA46 CA54 CA55 CA56 CA57
CA64 CA74
5F110 AA30 BB12 BB20 CC01 CC02
DD04 EE03 EE44 FF02 GG01
GG25 GG32 GG34 GG45 HJ01
HJ04 HJ13 HJ23 HK08 HK25
HK27 HK35 HL02 HL23 QQ04
QQ11